

(2) Japanese Patent Application Laid-Open No. 7-250328 (1995) "MOTION VECTOR DETECTING DEVICE"

The following is English translation of an extract from the above-identified document relevant to the present application.

5 The motion vector detecting device of the present invention comprises a sum-total portion 12 for classifying evaluation function value components received from each element processor according to each of a plurality of predictive modes and summing the components of each classified group to generate an evaluation function value corresponding for respective predictive mode, and a comparator portion 3 for
10 determining a displacement vector corresponding to an evaluation function value that gives the most preferable similarity according to an evaluation function value provided from the sum-total portion as a motion vector for each predictive mode.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-250328

(43) 公開日 平成7年(1995)9月26日

(51) Int.Cl.⁹

H 0 4 N 7/32

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/ 137

Z

審査請求 未請求 請求項の数28 F D (全 103 頁)

(21) 出願番号 特願平6-321525

(22) 出願日 平成6年(1994)11月29日

(31) 優先権主張番号 特願平6-5432

(32) 優先日 平6(1994)1月21日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 石原 和哉

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社システムエル・エス・アイ開発研究所内

(72) 発明者 浦本 紳一

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社システムエル・エス・アイ開発研究所内

(74) 代理人 弁理士 深見 久郎 (外3名)

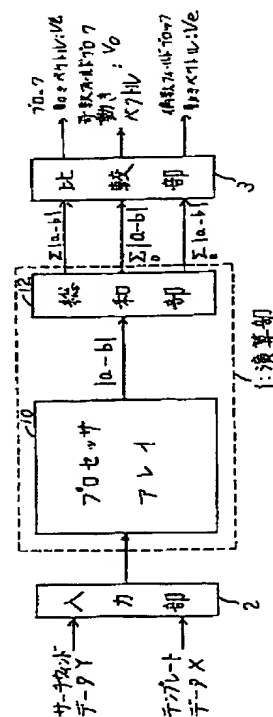
最終頁に続く

(54) 【発明の名称】 動きベクトル検出装置

(57) 【要約】

【目的】 少ないハードウェア量で複数の予測モードに従って高速に動き画像予測補償に用いられる動きベクトルを検出することのできる動きベクトル検出装置を提供する。

【構成】 プロセッサアレイ10は、現画像画素ブロックであるテンプレートブロックの各画素に対応してマトリックス状に配列され、各々が対応の参照画像画素ブロックであるサーチウィンドウブロック画素データを格納し、テンプレートブロック画素データとの評価関数値成分を求める要素プロセッサを含む。総和部12は各要素プロセッサから与えられた評価関数値成分を複数の予測モードそれぞれに応じて分類し、各分類ごとに総和して各予測モードに対する評価関数値を生成する。比較部3は総和部から与えられた評価関数値に従って最も良い類似度を与える評価関数値に対応する変位ベクトルを各予測モードそれぞれによる動きベクトルとして決定する。これにより複数の予測モードに従う動きベクトルを同時に検出することができる。



【特許請求の範囲】

【請求項 1】 現画面画像と参照画面画像とのブロックマッチング処理により、動き補償付予測符号化に用いられる動きベクトルを求めるための動きベクトル検出装置であって、

前記現画面内の動きベクトル検出対象となる所定のサイズの現画像ブロックと前記参照画面内の前記現画像ブロックに関連する領域内の複数の参照画像ブロック各々の類似度を示すとともに予め定められた複数の予測モード各々に従って決定される評価関数値を各参照ブロックごとにかつ前記複数の予測モード並列に求めるための評価手段、および前記評価手段からの各参照ブロックごとおよび各前記複数の予測モードごとの評価関数値を受け、前記現画像ブロックに対する各前記予測モードの動きベクトルを並列に決定する動きベクトル決定手段を備える、動きベクトル検出装置。

【請求項 2】 前記評価手段は、前記現画像ブロックに含まれる画素に対応して配置され、参照画像ブロック内の対応の画素データと前記現画像ブロック内の対応の画素データとを一時的に格納する格納手段を含み、該格納手段に格納された画素データに前記評価関数の一部をなす演算を行なう複数の第 1 の演算手段と、

前記複数の第 1 の演算手段の出力を前記複数の予測モード各々に対応して分類し、各分類ごとに前記第 1 の演算手段の出力に対し前記評価関数の残りの演算を並列に行なう第 2 の演算手段を含む、請求項 1 記載の動きベクトル検出装置。

【請求項 3】 前記複数の第 1 の演算手段は、各々が一方方向に沿ってのみ画素データを転送するように配置されかつ前記現画像ブロックに対応する行および列のマトリックス状に配置される複数のプロセッサを備える、請求項 2 記載の動きベクトル検出装置。

【請求項 4】 前記現画面および参照画面は、偶数フィールドと奇数フィールドとを含むフレームで構成され、前記複数の予測モードは、前記現画像ブロック内の奇数フィールドに含まれる画素を用いる動き予測モードと、偶数フィールドに含まれる画素を用いる動き予測モードと、フレームに含まれる画素を用いる動き予測モードとを含む、請求項 1 ないし 3 のいずれかに記載の動きベクトル検出装置。

【請求項 5】 前記現画面および参照画面の各々は、1 つのフィールドにより構成され、前記複数の予測モードは、前記現画像ブロックの画面垂直方向に沿って 2 等分し、該 2 等分された上半分のブロックの画素を用いる動き予測モードと、2 等分された現画像ブロックの下半分のブロックの画素を用いた動き予測モードと、前記現画像ブロックの画素すべてを用いる動き予測モードとを含む、請求項 1 ないし 3 のいずれかに記載の動きベクトル検出装置。

【請求項 6】 前記第 2 の演算手段は、

前記現画像ブロックをフレーム画面に関して垂直方向に 2 等分した上下ブロックおよび偶数フィールドの画素ブロックおよび奇数フィールドの画素ブロックの 4 ブロックに分割し、各分割ブロックごとに対応の第 1 の演算手段の出力を並列に受け、モード指定信号に従って前記 4 分割ブロックの構成を切換えてフレーム内画素を用いるフレーム予測モード、奇数フィールド内画素を用いる奇数フィールド予測モードおよび偶数フィールド内の画素を用いる偶数フィールド動き予測モードまたはフィールド内画素を用いる動き予測モード、現画像ブロックの上半分の画素を用いる上半分動き予測モードおよび現画像ブロックの下半分の画素を用いる下半分動き予測モードのいずれかの 3 分類を実現する切換え手段を含む、請求項 1 ないし 5 のいずれかに記載の動きベクトル検出装置。

【請求項 7】 画面の形式を指定する形式指定信号に回答して、入力画像データの画面形成形式を前記形式指定信号が指定する形式に設定して前記評価手段へ与える入力変換手段をさらに含む、請求項 1 ないし 6 のいずれかに記載の動きベクトル検出装置。

【請求項 8】 前記複数の第 1 の演算手段は、実質的に 1 次元状アレイを構成するように配置され、入力した現画像画素データおよび参照画像ブロック画素データとともに一方方向に沿ってのみ伝達する複数のプロセッサを備え、

前記複数のプロセッサの所定数ごとに配置され、参照画像画素データを格納するとともに格納した画素データを格納した順に順次出力するとともにその有効格納画素数が可変なバッファ手段をさらに備える、請求項 1 ないし 7 のいずれかに記載の動きベクトル検出装置。

【請求項 9】 前記関連する領域内の所定の条件を満足する参照画像ブロックに対して前記複数の予測モード各々に従って各評価関数値を並列に求める第 3 の演算手段と、

前記第 3 の演算手段の出力に従って前記評価手段が演算すべき参照画像ブロックの領域を前記複数の予測モードそれぞれに対して指定する領域指定手段をさらに備え、前記評価手段は指定された領域に対し複数の予測モードで評価値を算出する、請求項 1 ないし 8 のいずれかに記載の動きベクトル検出装置。

【請求項 10】 前記領域指定手段は、前記複数の予測モード各々に対して演算すべき参照画像領域を指定する、請求項 9 記載の動きベクトル検出装置。

【請求項 11】 前記領域指定手段は、前記複数の予測モードに対し共通に 1 つの参照画像領域を指定する、請求項 9 記載の動きベクトル検出装置。

【請求項 12】 前記領域指定手段は、前記複数の予測モードに対し共通に 1 つの参照画像領域を指定しかつ前記評価手段に対し 1 つの予測モードに従う演算のみをイ

ネーブルする手段を含む、請求項 9 記載の動きベクトル検出装置。

【請求項 1 3】 参照フレーム画像と現フレーム画像とのブロックマッチング処理により、動き補償付予測符号化処理に用いられる動きベクトルを求めるための動きベクトル検出装置であって、前記フレームは偶数フィールドと奇数フィールドとを含み、

動きベクトル検出対象となる現フレーム画像ブロックの各画素に対応して配置される複数のプロセッサを含み、前記現フレーム画像ブロックの画素データと前記参照フレーム画像内の前記現フレーム画像ブロックに関連する領域内の参照画像ブロックの画素データとを入力し、両ブロックの対応の画素データに対し所定の演算を行なう演算手段と、

前記演算手段の出力を前記偶数フィールド内の画素に対する演算結果と前記奇数フィールド内の画素に対する演算結果と前記フレーム内の画素に対する演算結果とに分類し、各分類ごとに前記演算手段の出力を加算して総和を求める総和手段と、

前記総和手段の出力に従って、前記現画像ブロックの奇数フィールド画素ブロックに対する動きベクトル、偶数フィールド画素ブロックに対する動きベクトルおよびフレーム画素ブロックに対する動きベクトルを並列態様で決定する動きベクトル決定手段を備える、動きベクトル検出装置。

【請求項 1 4】 参照フィールド画像と現フィールド画像とのブロックマッチング処理により、動き補償付予測符号化処理に用いられる動きベクトルを求めるための動きベクトル検出装置であって、

前記現フィールド画像内の動きベクトル検出対象となる現フィールド画像ブロックの各画素に対応して配置される複数のプロセッサを含み、前記現フィールド画像ブロックの画素データと前記参照フィールド画像内の現フィールド画像ブロックに関連する領域内の参照フィールド画像ブロックの画素データとを入力し、両入力ブロックの対応の画素データに対し所定の演算を行なう演算手段と、

前記演算手段の出力を前記現フィールド画像ブロックのフィールド内垂直方向に沿って 2 分割して上半分ブロックと下半分ブロックとに分割し、前記演算手段の出力を前記上半分ブロックの画素に対する演算結果と、前記下半分のブロックの画素に対する演算結果と前記現画像ブロック内の画素すべてに対する演算結果とに分類し、各分類ごとに前記演算手段の出力を加算して総和を求める総和手段と、

前記総和手段の出力に従って、前記上半分ブロックに対する動きベクトル、前記下半分ブロックに対する動きベクトル、および前記現画像ブロックに対する動きベクトルを並列態様で決定する動きベクトル決定手段を備える、動きベクトル検出装置。

【請求項 1 5】 参照画面画像と現画面画像とのブロックマッチング処理により、動き補償付予測符号化に用いられる動きベクトルを求めるための動きベクトル検出装置であって、

前記現画面画像の動きベクトルの検出対象となる現画像ブロックの各画素に対応して配置される複数のプロセッサを含み、前記現画像ブロックの画素データと前記参照画面画像内の前記現画像ブロックに関連する領域内の参照画像ブロックの画素データとを入力し、該入力した両ブロックの対応の画素のデータに対し所定の演算を行なう演算手段を備え、前記複数のプロセッサは、前記画面がフレームで構成されるとき、前記現画像ブロックの画面垂直方向の上半分のブロックの画素に対応し、かつ奇数フィールドの画素に対応して配置される第 1 のプロセッサ群と、前記上半分のブロックの画素に対応しかつ偶数フィールドの画素に対応して配置される第 2 のプロセッサ群と、前記現画像ブロックの画面垂直方向の下半分のブロックの画素に対応しかつ奇数フィールドの画素に対応して配置される第 3 のプロセッサ群と、前記下半分のブロックの画素に対応しかつ偶数フィールドの画素に対応して配置される第 4 のプロセッサ群とを含み、前記第 1 ないし第 4 のプロセッサ群の出力を並列に受け、前記第 1 および第 2 のプロセッサ群の出力を組合わせかつ前記第 3 および第 4 のプロセッサ群の出力を組合わせて 2 組の出力信号を生成する第 1 の組合わせ手段と、前記第 1 および第 3 のプロセッサ群の出力を組合わせかつ前記第 2 および第 4 のプロセッサ群の出力を組合わせて 2 組の出力信号を生成する第 2 の組合わせ手段とを含み、モード指定信号に応答して前記第 1 および第 2 の組合わせ手段の一方を活性化し、活性化された組合わせ手段からの 2 組の出力を伝達する分類手段と、前記分類手段の 2 組の出力をそれぞれ各組ごとに加算総和し、各組に対する評価値および前記現画像ブロック全体に対する評価値を並列態様で生成する評価値生成手段と、

前記評価値生成手段の出力に従って、前記現画像ブロックの動きベクトルを各組および現画像ブロックに対して並列態様で決定する動きベクトル決定手段を備える、動きベクトル検出装置。

【請求項 1 6】 現画面画像と参照画面画像とのブロックマッチング処理により、動き補償付予測符号化に用いられる動きベクトルを検出するための動きベクトル検出装置であって、

画像データの入力順序と出力順序とを異ならせる手段を含み、入力参照画面画像データを一時的に格納するバッファ手段と、

前記バッファ手段から読出された画像データと前記現画面画像データとから動きベクトル検出対象となる現画像ブロックの動きベクトルを算出する手段とを備える、動きベクトル検出装置。

【請求項 17】 現画面画像と参照画面画像とのブロックマッチング処理により、動き補償付予測符号化に用いられる動きベクトルを検出するための動きベクトル検出装置であって、

動きベクトル検出対象となる現画像ブロックの画素に対応して配置され、各々が対応の現画像ブロック画素データと前記現画像ブロックに対応する前記参照画面画像内の参照画像ブロックの対応の画素データとを格納する格納手段と、前記格納手段に格納された画素データに所定の演算処理を行なう演算手段とを含み、前記格納手段に格納されたデータを一方方向のみに沿って伝達する複数のプロセッサと、

前記複数のプロセッサの所定数ごとに配置され、前段のプロセッサまたは入力部から伝達された参照画素データを一時的に格納し、順次次段のプロセッサへ伝達するとともに、その有効格納画素データ数が変更可能なバッファ手段と、

前記複数のプロセッサ手段の演算結果出力に従って前記現画像ブロックの動きベクトルを決定する動きベクトル決定手段とを備える、動きベクトル検出装置。

【請求項 18】 現画面画像と参照画面画像とのブロックマッチング処理により、動き補償付予測符号化に用いられる動きベクトルを検出するための動きベクトル検出装置であって、

動きベクトル検出対象となる現画像ブロックと前記現画像ブロックに関連する前記参照画面内の探索領域内のすべての評価点のうち代表評価点に対応する参照画像ブロックとのブロックマッチング処理を複数の予め定められた予測モードに従って実行し、前記複数の予測モードに対して最も良い相関度を示す最適代表評価点を求める第 1 の算出手段と、

前記複数の予測モードそれぞれに対応して設けられ、求められた最適代表評価点に従って、該対応の最適代表評価点を中心とする所定の大きさの領域内の全評価点に対して前記現画像ブロックと参照画像ブロックとのブロックマッチング処理を前記複数の予測モードに従って行ない、各々が前記複数の予測モードそれぞれに対して最もよい相関度を示す最適評価値およびベクトルを求める複数の第 2 の算出手段と、

前記複数の第 2 の算出手段の出力に従って、前記複数の予測モードのうちの最適予測モードを求め、かつ該求められた最適予測モードに従って決定された最適ベクトルを前記現画像ブロックに対する動きベクトルとして決定する動きベクトル決定手段とを備える、動きベクトル検出装置。

【請求項 19】 現画面画像と参照画面画像とのブロックマッチング処理により、動き補償付予測符号化に用いられる動きベクトルを検出するための動きベクトル検出装置であって、

動きベクトル検出対象となる現画像ブロックと前記現画

像ブロックに関連する参照画面内の探索領域のすべての評価点のうち代表評価点により表現される参照画像ブロックとのブロックマッチング処理を複数の予測モードに従って実行し、前記複数の予測モード各々に対して最もよい相関度を示す最適代表評価点を求める第 1 の算出手段と、

前記複数の予測モード各々に対応して設けられ、前記第 1 の算出手段からの対応の予測モードの最適代表評価点に従って、該最適代表評価点を中心とする所定の大きさの領域内の全評価点に対して前記現画像ブロックと参照画像ブロックとのブロックマッチング処理を前記複数の予測モードに従って実行し、最もよい相関度を示す評価点を表わす最適ベクトルおよび最適評価値を算出する複数の第 2 の算出手段と、

前記複数の第 2 の算出手段の出力に従って、前記複数の予測モードのうちの最適予測モードを決定し、かつ該決定された最適予測モードに従って決定された最適ベクトルを前記現画像ブロックに対する動きベクトルとして決定する動きベクトル決定手段とを備える、動きベクトル検出装置。

【請求項 20】 現画面画像と参照画面画像とのブロックマッチング処理により、動き補償付予測符号化に用いられる動きベクトルを検出するための動きベクトル検出装置であって、

動きベクトル検出対象となる現画像ブロックと前記現画像ブロックに関連する参照画面内の探索領域のすべての評価点のうち代表評価点により表現される参照画像ブロックとのブロックマッチング処理を複数の予測モードに従って実行し、前記複数の予測モード各々に対して最もよい相関度を示す予測モードに対応する最適代表評価点を求める第 1 の算出手段と、

前記第 1 の算出手段からの最適代表評価点に従って、前記最適代表評価点を中心とする所定の大きさの領域内の全評価点に対し前記現画像ブロックと参照画像ブロックとのブロックマッチング処理を前記複数の予測モード各々に従って実行し、各前記予測モードに対して最適ベクトルおよび最適評価値を算出する複数の第 2 の算出手段と、

前記第 2 の算出手段の出力に従って複数の予測モードのうちの最適予測モードを決定し、それに対応する最適ベクトルを前記現画像ブロックに対する動きベクトルとして決定する動きベクトル決定手段とを備える、動きベクトル検出装置。

【請求項 21】 現画面画像と参照画面画像とのブロックマッチング処理により、動き補償付予測符号化に用いられる動きベクトルを検出するための動きベクトル検出装置であって、

動きベクトル検出対象となる現画像ブロックと前記現画像ブロックに関連する参照画面内の探索領域のすべての評価点のうち代表評価点に対応する参照画像ブロック各

々とのブロックマッチング処理を複数の予測モードに従って行ない、前記複数の予測モードのうち最もよい相関度を示す最適予測モードおよびそれに対応する最適代表評価点を求める第1の算出手段と、

前記第1の算出手段からの最適予測モードを示す情報および前記最適代表評価点情報に従って、前記最適評価点を含む前記探索領域内の所定の大きさの領域内の全評価点に対し前記最適予測モードに従って前記現画像ブロックと参照画像ブロックとのブロックマッチング処理を実行し、各参照画像ブロックに対する評価関数値を算出する第2の算出手段と、

前記第2の算出手段の出力に従って、前記現画像ブロックに対する動きベクトルを決定する動きベクトル決定手段を備える、動きベクトル検出装置。

【請求項22】 現画面画像と参照画面画像とのブロックマッチング処理により、動き予測符号化処理に用いられる動きベクトルを求めるための動きベクトル検出装置であって、

前記現画面画像のQ行P列の画素からなる現画面ブロックの各画素に対応して配置されるプロセッサと、前記P列の各々に対応して配置され、各々がR個の参照画面画素データを格納するデータ格納手段とを有するプロセッサアレイを備え、前記プロセッサとデータ格納手段とが1次元的に一方方向に沿って参照画面画像画素データを転送するように相互接続され、かつ前記プロセッサの各々は、対応の現画面画像画素データを格納する第1のレジスタ手段と、与えられた参照画面画像画素データを格納する第2のレジスタ手段と、前記第1および第2のレジスタ手段の格納する画素データに所定の演算処理を施して評価関数値成分を出力する演算手段とを含み、前記プロセッサアレイへ1サイクル当たり1画素データの速度で、前記参照画面画像画素データを与えるデータ印加手段と、

前記プロセッサアレイから出力される評価関数値成分を加算して、1サイクル当たり1評価関数値を生成する評価値生成手段と、

前記評価値生成手段から所定数のサイクルにわたって与えられる評価値に従って前記現画面ブロックの動きベクトルを検出する動きベクトル決定手段と、

前記所定数のサイクルを、Aを任意の自然数として、 $A \cdot (P \cdot (Q + R))$ サイクルに設定する手段を備える、動きベクトル検出装置。

【請求項23】 現画面画像と参照画面画像とのブロックマッチング処理により、動き予測符号化処理に用いられる動きベクトルを求めるための動きベクトル検出装置であって、

各々が、Q行P列の画素からなる現画面画像ブロックの各画素に対応して配置されるプロセッサと、前記P列の各々に対応して配置され、かつ各々がR個の参照画面画素データを格納するデータ格納手段とを有するA個のプ

ロセッサアレイを備え、前記Aは自然数であり、かつ前記A個のプロセッサアレイの各々は、プロセッサとデータ格納手段とが1次元的に一方方向に沿って参照画面画像画素データを転送するように相互接続され、かつ前記プロセッサの各々は、対応の現画面画像画素データを格納する第1のレジスタ手段と、与えられた参照画面画像画素データを格納する第2のレジスタ手段と、前記第1および第2のレジスタ手段に格納された画素データに所定の演算処理を施して評価関数値成分を出力する演算手段とを含み、

前記A個のプロセッサアレイへ同じ参照画面画像画素データを1サイクル当たり1画素データの割合で与える手段と、

前記A個のプロセッサアレイに対応して設けられ、対応のプロセッサアレイから出力される評価関数値成分から現画面ブロックと参照画面ブロックとの類似度を示す評価関数値を生成するA個の評価値生成手段と、

前記A個の評価値生成手段各々に対応して設けられ、対応の評価値生成手段から $A \cdot P \cdot (Q + R)$ サイクルにわたって与えられる評価値に従って各プロセッサアレイそれぞれについての動きベクトルを決定するA個の動きベクトル決定手段と、

前記A個のプロセッサアレイの現画面画像ブロック画素データ全体を前記 $A \cdot P \cdot (Q + R)$ サイクルを単位サイクルとして順次更新する現画面ブロック更新手段を備える、動きベクトル検出装置。

【請求項24】 動き予測符号化処理に用いられる動きベクトルを、現画面画像と参照画面画像とのブロックマッチング処理により求めるための動きベクトル検出装置であって、

前記現画面画像のQ行P列の画素に対応して配置されるプロセッサと、前記P列の各列に対応して配置され、各々がR個の参照画面画像画素データを格納するデータ格納手段とを備えるプロセッサアレイを含み、前記プロセッサの各々は、対応の現画面画素データを格納する第1のレジスタ手段と、与えられた参照画面画像画素データを格納する第2のレジスタ手段と、前記第1および第2のレジスタ手段の格納する画素データに所定の演算処理を施して評価関数値成分を出力する演算手段とを含み、前記プロセッサアレイは、各々が (P/b) 列 (Q/c) 行の画素に対応して配置される複数のサブブロックに分割され、前記サブブロックは行列状に配置され、前記プロセッサの列それぞれに対応して設けられ、各々がR個の参照画面画像画素データを格納する複数のデータ格納手段を備え、前記データ格納手段は同じ列に配置されたサブブロックに共有されかつサブブロック列それぞれにおいて、データ格納手段は1つのサブブロックのプロセッサと1次元的に参照画面画像画素データを一方方向に沿って転送するように相互接続されかつ残りのサブブロックに対しては同じ列に配置されたプロセッサに

対してのみ接続され、かつ前記残りのサブブロックにおけるプロセッサは、同一列においてのみ一方方向に沿ってのみ与えられた参照画面画像画素データを転送するように相互接続され、

前記複数のサブブロックそれぞれのプロセッサから $(P/b) \cdot \{(Q/c) + R\} \cdot b \cdot c$ サイクルにわたって各サイクルに与えられる評価関数値成分に従って、各サブブロックについて関連の現画面画像ブロックの動きベクトルを決定する手段と、

前記複数のサブブロックの各々へ互いに異なる現画面画像画素ブロックの画素データを格納するとともに、前記複数のサブブロックに格納される現画面画像画素データを $(P/b) \cdot \{(Q/c) + R\}$ サイクルごとに順次更新する手段を含む、動きベクトル検出装置。

【請求項25】 現画面画像と参照画面画像とのブロックマッチング処理により、動き予測符号化に用いられる動きベクトルを求めるための動きベクトル検出装置であって、

現画面画像のQ行P列の画素からなる現画面ブロックの各画素に対応して行列状に配置されるプロセッサと、前記画素列の各々に対応して配置され、各々がR個の参照画面画像画素データを格納するデータ格納手段とを有するプロセッサアレイを備え、前記複数のプロセッサとデータ格納手段とは1次元的に一方方向に沿って参照画面画像画素データを転送するように相互接続され、かつ前記複数のプロセッサの各々は、第1の現画面ブロックの画素データを格納する第1のレジスタ手段と、第2の現画面ブロックの対応の画素データを格納する第2のレジスタ手段と、与えられた参照画面画像画素データを格納する第3のレジスタ手段と、前記第1および第2のレジスタ手段の一方の格納する画素データを選択する選択手段と、前記選択手段の選択した画素データと前記第3のレジスタ手段に格納された画素データとに所定の演算処理を施して評価関数値成分を生成する演算手段とを含み、前記プロセッサアレイから出力される評価関数値成分を総和して、1サイクル当たり1評価関数値を生成する評価値生成手段と、

前記評価値生成手段の出力する評価関数値に従って現画面ブロックの動きベクトルを決定する動きベクトル決定手段と、

前記第1および第2の現画面ブロックの一方についての動きベクトル検出サイクルの間に他方の現画面ブロックに対応するレジスタ手段の内容を更新する更新手段と、前記選択手段を選択するレジスタを前記検出サイクルごとに切り換える切り換制御手段とを備える、動きベクトル検出装置。

【請求項26】 現画面画像と参照画面画像とのブロックマッチング処理により、動き補償予測符号化に用いられる動きベクトルを求めるための動きベクトル検出装置であって、

前記現画面内の動きベクトル検出対象となる所定のサイズの現画像ブロックと前記現画像ブロックに関連する前記参照画面内の領域内の複数の参照画像ブロック各々の類似度を示す評価関数値を生成する評価値生成手段と、

前記評価値生成手段から与えられた評価関数値に従って前記現画像ブロックの動きベクトルを決定する決定手段とを備え、

前記決定手段は、参照画像ブロックの前記元画像ブロックについての水平および垂直方向の位置をベクトル

(H, V) で表わすとき、複数の参照画像ブロックの評価関数値が同じとき、

(i) $|H| + |V|$ の小さいほうの参照画像ブロックのベクトルを動きベクトル候補として選択する第1の選択手段と、

(ii) $|H| + (-V + \alpha)$ の小さい参照画像ブロックのベクトルを前記動きベクトルの候補として選択する第2の選択手段と、

(iii) $|H| + (V + \alpha)$ の小さいほうの参照画像ブロックのベクトルを前記動きベクトルの候補として選択する第3の選択手段と、

モード指定信号に応答して、前記第1ないし第3の選択手段のいずれか1つを活性状態とする手段とを備え、前記 α は、動きベクトルのY方向の探索範囲に応じて決定される定数である、動きベクトル検出装置。

【請求項27】 現画面画像と参照画面画像とのブロックマッチング処理により、動き補償予測符号化に用いられる動きベクトルを求めるための動きベクトル検出装置であって、

前記現画面画像の所定のサイズの現画面ブロックと前記現画面ブロックに関連する前記参照画面内領域の複数の参照画面ブロックそれぞれとを複数の予測モードそれぞれに従ってブロックマッチング処理を施して整数精度での動きベクトルを前記複数の予測モード各々について決定する整数精度ベクトル決定手段と、

前記現画面ブロック画素データと前記整数精度ベクトル決定手段により決定された複数の予測モード各々の動きベクトルで示される複数の参照画面ブロック画素データをそれぞれ前記整数ベクトル決定手段から受けて格納する画素データ格納手段と、

前記画素データ格納手段に格納された現画面ブロック画素データと複数の参照画面ブロック各々の画素データとを受け、ブロックマッチング処理を分数精度で行なうて、前記複数の予測モード各々の分数精度での動きベクトルを決定する分数精度ベクトル決定手段とを備える、動きベクトル検出装置。

【請求項28】 現画面画像と参照画面画像とのブロックマッチング処理により、動き補償予測符号化に用いられる動きベクトルを検出するための動きベクトル検出装置であって、

前記現画面の所定のサイズの現画面ブロックと所定のサイズの探索領域内の前記参照画面画像に関連する複数の参照ブロック各々との類似度を示す評価関数値を求める評価値算出手段と、

前記探索領域の有効領域を前記現画面ブロックについて設定する設定手段と、

前記設定手段により設定された有効領域に含まれる参照ブロックに対する、前記評価値算出手段の評価値に従って前記現画面ブロックの動きベクトルを決定する手段とを備える、動きベクトル検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、予測符号化処理において動画像の動き補償のために用いられる動きベクトルを検出するための装置に関する。

【0002】

【従来の技術】膨大なデータ量を有する画像信号の伝送または蓄積のためには、データ量を削減するデータ圧縮技術が必要不可欠となる。画像データは、近接画素間の相関関係および人間の知覚特性などに起因するかなりの冗長度を備える。このデータ冗長度を抑圧して伝送データ量を削減するデータ圧縮技術は高能率符号化と呼ばれる。このような高能率符号化方式の1つに、フレーム間予測符号化方式がある。このフレーム間予測符号化方式においては、以下の処理が実行される。

【0003】現在符号化しようとする現画面（フレームまたはフィールド）の各画素データと参照する前画面の同じ位置にある各画素データとの差分である予測誤差を算出する。算出された予測誤差を以後の符号化に用いる。この方法では、動きの少ない画像に関しては画面間の相関が大きいため、高能率で符号化を行なうことができる。しかしながら、動きの大きな画像については、画面間の相関が小さいため誤差が大きくなり、逆に伝送データ量が増加するという欠点が生じる。

【0004】上述の問題点を解決する方法として、動き補償付フレーム（フィールド）間予測符号化方式がある。この方法では、以下の処理が実行される。まず、予測誤差を算出する前に、予め現画面（フレームまたはフィールド）と前画面の画素データを用いて動きベクトルを算出する。算出された動きベクトルに従って前画面の予測画像を移動させる。前画面の動きベクトルだけずれた位置の画像データを参照画素とし、参照画素を予測値として用いる。次いで、この移動後の前画面と現画面との各画素の予測誤差を算出し、予測誤差と動きベクトルとを伝送する。

【0005】図151は、従来の動き補償付予測符号化方式に従って画像データを符号化する符号器の全体構成を概略的に示すブロック図である。図151において符号器は、入力された画像信号に対し所定の前処理を実行する前処理回路910と、この前処理回路910により

前処理された信号に対し冗長度の除去および入力信号の量子化を実行するソース符号化回路912と、ソース符号化回路912からの信号に対し所定のフォーマットに従った符号化および予め定められたデータ構造の符号列に多重化するビデオマルチプレクス符号化回路914を含む。

【0006】前処理回路910は、時間および空間フィルタを用いて入力画像信号を共通の中間フォーマット（CIF）に変換し、かつノイズ除去のためのフィルタ処理を実行する。

【0007】ソース符号化回路912は、与えられた信号に対するたとえば離散コサイン変換（DCT）などの直交変換処理を行なうとともに、入力信号に対する動き補償を行ない、かつ直交変換された画像データを量子化する。

【0008】ビデオマルチプレクス符号化回路914は、与えられた画像信号に対し2次元可変長の符号化を行なうとともに、データ処理単位であるブロックの各種属性（動きベクトルなど）も可変長符号化した後に、予め定められたデータ構造の符号列に多重化する。

【0009】符号器はさらに、ビデオマルチプレクス符号化回路914からの画像データをバッファ処理する伝送バッファ916と、伝送バッファ916からの画像データを伝送チャネルに適合させるための伝送符号化回路918を含む。

【0010】伝送バッファ916は、情報発生速度を一定速度に平滑化する。伝送符号化回路918は誤り訂正ビットの付加および音声信号データの付加などを実行する。

【0011】図152は、図151に示すソース符号化回路の具体的構成の一例を示す図である。図152においてソース符号化回路912は、前処理回路からの与えられる入力画像信号に対し動きベクトルを検出しかつ動きベクトルに従って動き補償された参照画像を生成する動き補償予測器920と、動き補償予測器920からの参照画像画素データに対しフィルタ処理を行なうループフィルタ922と、ループフィルタ922の出力と入力画像信号との差分を求める減算器924と、減算器924の出力を直交変換する直交変換器926と、直交変換器926により直交変換されたデータを量子化する量子化器928を含む。

【0012】動き補償予測器920の構成は後に詳細に説明するが、1フレーム前の画素データを格納するフレームメモリを含み、入力画像信号データとこのフレームメモリ内の画素データとに従って動きベクトルの検出および動き補償された参照画像画素データの生成を行なう。ループフィルタ922は画質改善のために設けられる。

【0013】直交変換器926は、減算器924からのデータに対し、所定のサイズのブロック（通常8×8画

素)を1つの単位としてDCT変換などの直交変換を行なう。量子化器928は、この直交変換された画素データを量子化する。

【0014】動き補償予測器920および減算器924により動き補償付フレーム間予測が実行され、動画像における時間的な冗長性が除去される。また、直交変換器926による直交変換により動画像信号における空間的な冗長性が除去される。

【0015】ソース符号化回路912はさらに、量子化器928で量子化されたデータを量子化前の信号状態に変換するための逆量子化器930と、この逆量子化器930の出力に対し逆直交変換を行なう逆直交変換器932と、ループフィルタ922の出力と逆直交変換器932の出力とを加算する加算器934を含む。逆量子化器930および逆直交変換器932により次のフレームに対するフレーム間予測に用いる画像が生成される。この生成された画像データは動き補償予測器920に含まれるフレームメモリに書込まれる。加算器934により画像信号(フレーム間差分データ)がループフィルタ922の出力に加算されるため、現フレームの画像データが再生される。通常、この逆量子化処理、逆直交変換処理および加算処理は一般に局部復号過程と呼ばれる。次に、動きベクトルの算出について具体的に説明する。動きベクトルの算出には一般にブロックマッチング法が用いられる。

【0016】今、図153(A)に示すように、第(m-1)フレームにおける画像Aが第mフレームにおいてはA'に移動した状態を考える。ブロックマッチング法においては、画面(この場合1フレーム)をP×Q画素のブロックに分割する(一般にはP=Q)。現フレームにおいて着目するブロックに最も近似するブロックを前フレームから捜し出す。この着目ブロックから最も近似する前フレームにおけるブロックへのずれを動きベクトルとを称す。以下に、より詳細に説明する。

【0017】図153(B)に示すように、今、第mフレームを符号化対象フレームとする。フレームはN×N画素のブロックに分割される(P=Q=N)。今第mフレームにおけるN×N画素のブロックにおける1番左上の画素位置(Nk, N1)における画素データの値をXm(Nk, N1)とする。画素位置をベクトル(i, j)だけずらした前フレームにおけるブロックと現フレームにおけるブロックの対応の画素のデータの差分の絶対値和を求める。次に、このずれベクトル(i, j)をさまざまな値に代え、それぞれの差分絶対値和を求める。この差分絶対値和は一般に評価関数値と呼ばれる。この最小の差分絶対値和を与える位置(i, j)を動きベクトルと定義する。

【0018】動きベクトルは1ブロック画素当たり1個伝送する必要がある。ブロックサイズを小さくすると伝送情報が増加し、効果的なデータ圧縮ができなくなる。

一方、ブロックサイズを大きくすると効果的な動き検出が困難となる。そこで、ブロックサイズは16×16画素、動きベクトル探索範囲(i, jの最大変化幅)は-15~+15とするのが一般的である。以下に具体的にブロックマッチング法による動きベクトル算出について説明する。

【0019】図154は、ブロックマッチング法による動きベクトルの算出の具体的方法を示す図である。今、図154に示すように、352ドット(画素)×288ラインからなる画像950を考える。画像950を、16×16の画素群を1ブロックとして複数のブロックに分割する。このブロック単位で動きベクトルの検出が実行される。動きベクトル検出処理の対象となるブロック(以下、テンプレートブロックと称す)952と同じ位置にある前フレームにおけるブロック954を基準として、画面上水平方向および垂直方向に±16画素大きなブロック956を探索ブロック(以下、サーチエリアと称す)とする。テンプレートブロック952に対する動きベクトル探索はこのサーチエリア956内において実行される。ブロックマッチング法に従った動きベクトルの探索方法は以下の処理ステップを備える。

【0020】動きベクトル候補に対応する変位を有するブロック(図154においてベクトル(i, j)で示す)を求める。この求められたブロックの各画素とテンプレートブロックの対応位置にある画素の差分絶対値和(または差分二乗和)のような評価関数値を求める。

【0021】上述の動作をベクトル(i, j)として(-16, -16)~(+16, +16)のすべての変位に対して実行する。すべての予測画像ブロック(サーチエリア956内のすべての画像ブロック)に対して評価関数値(評価値)を求めた後、この評価関数値が最小となる予測画像ブロックを検出する。テンプレートブロックと同じ位置(以下、真裏と称す)のブロック(図154においてベクトル(0, 0)で示すブロック954)から評価関数値が最小となる予測画像ブロックに向かうベクトルをこのテンプレートブロック952に対する動きベクトルと決定する。

【0022】図155は、従来のハードウェアで実現される動きベクトル検出装置の全体の構成を示す図であり、たとえば1989 IEEE, ICASSP'89の"プロシーディング"、第2453頁ないし第2456頁においてA・アルティエリ等により示されている。図155において、動きベクトル検出装置は、サーチエリアの画素データをサーチエリアの1列分入力するためのサーチエリア入力レジスタ962と、テンプレートブロックの評価点(動きベクトルの候補)と同一サイズの行および列のマトリックス状に配置された複数のプロセッサを含むプロセッサアレイ966と、プロセッサアレイに対しサーチエリアにおける同一列のデータを格納するサーチエリアレジスタ964aおよび964bと、プロ

セッサアレイ 966 の演算結果に従って動きベクトルを検出する動きベクトル検出部 968 を含む。

【0023】プロセッサアレイ 966 においては、評価点すなわち変位ベクトル（ずれベクトル（ i, j ））各々に対応してプロセッサが配置される。すなわち第 i 行、第 j 列に配置されたプロセッサ P_{ij} は、変位ベクトル $D(i, j)$ を計算する。

【0024】図 156 は、図 155 に示すプロセッサアレイに含まれるプロセッサの構成を示す図である。図 156 においてプロセッサ 970 は、アレイ 966 内の水平および垂直方向の 3 方向のプロセッサから伝達されるサーチエリア画素データを受け、選択信号 SEL に応答してその 1 つの入力を通過させる 3 入力レジスタ 972 と、3 入力レジスタ 972 からのサーチエリア画素データ Y と外部から与えられるテンプレートブロック画素データ X とに基づいて歪み（差分絶対値和）を計算する歪み計算部 974 と、歪み計算部 974 からの歪み D とアレイ 966 内の水平方向に隣接するプロセッサからの歪みを受け、選択信号 T_o に従って一方を選択して通過させる 2 入力レジスタ 976 を含む。

【0025】図 156 に示すプロセッサ 970 は、図 156 に示すプロセッサアレイ 966 において、サーチエリアにおける評価点、すなわち動きベクトルの候補となるすべての変位ベクトルに対応して 2 次元状に配置される。プロセッサアレイ 966（図 155 参照）の各プロセッサへは共通に同じテンプレート画素データ X が与えられる。このとき、またプロセッサ 970 へは、サーチエリアブロック内の対応の画像データが与えられる。たとえば、テンプレートブロック画素データ X が、 X

(m, n) の場合、プロセッサ P_{ij} に対してはサーチエリアブロック画素データ $Y(i+m, j+n)$ が与えられる。サーチウィンドウデータは、図 155 に示すサーチエリアサイドレジスタ 964a および 964b ならびにプロセッサアレイ 966 内の各プロセッサ 970 を介して転送される。外部から与えられるテンプレートブロック画素データ $X(m, n)$ に対し、正確にサーチエリアブロック画素データ $Y(i+m, j+n)$ を各プロセッサに与えるために、テンプレートブロックおよびサーチエリアブロックはある規則性を持ってスキャンされなければならない。

【0026】図 157 は、上述の動きベクトル検出装置におけるテンプレートブロックのデータのスキャン態様を示す図である。図 157 において、テンプレートブロック 999 を、図 157 の矢印で示すように、まず同一列に沿って上から下に向かってスキャンし、次いで 1 列隣の画素データを下から上に向かってスキャンすることによりテンプレートブロック画素データが生成されて、順次動きベクトル検出装置へ与えられる。このスキャン方法は「スネークスキャン」と呼ばれる。テンプレートブロック画素データの「スネークスキャン」に従って、

プロセッサアレイ 966 へ与えられるサーチエリアブロック画素データも同様にスキャンされる。プロセッサ 970 は、アレイ内のその配置位置に応じてサーチエリア画素データを図 156 の上下方向または左方向へ転送する必要がある。この 3 方向転送を実現するために 3 入力レジスタ 972 が設けられる。2 入力レジスタ 976

（図 156 参照）は、各変位ベクトルの評価関数値が計算された後、動きベクトル検出部 968（図 155 参照）において最小の歪み（評価関数値）を与える変位ベクトルを求めるために、プロセッサ 970 で計算された歪みを動きベクトル検出部 968 へ伝達するために設けられる。動きベクトル検出部 968 は、プロセッサアレイ 966 内の各プロセッサからの歪みのうち最小の歪みを検出し、その最小の歪みを与えるプロセッサの位置を求め、そのプロセッサの位置を動きベクトルとして決定する。次にこの図 155 に示す動きベクトル検出装置の動作について簡単に説明する。

【0027】プロセッサアレイ 966 において第 i 行、第 j 列に配置されたプロセッサ P_{ij} は、

$$D(i, j) = \sum |X(m, n) - Y(m+i, n+j)|$$

で表される歪み $D(i, j)$ を算出する。ここで総和 Σ は m および n に関して行なわれる。 m および n の変化範囲はテンプレートブロックのサイズにより決定される。

【0028】今、図 158 に示すように、テンプレートブロック 980 として m 行 n 列に配置された画素を考える。最初のサイクルにおいてはプロセッサアレイ 966 における各プロセッサには参照符号 982 で示すサーチエリアブロック画素データが格納される。外部からはテンプレートブロック 980 における第 1 行第 1 列の画素 $X(1, 1)$ がプロセッサアレイ 966 内のすべてのプロセッサに共通に与えられる。アレイ 966 内の各プロセッサ 970 はそこに格納されているサーチエリアブロック（サーチウィンドウ）画素データ Y と与えられたテンプレートブロック画素データ X との差分絶対値を求めて累算する。

【0029】次のサイクルにおいては、プロセッサアレイ 966 においてサーチエリアブロックが図 158 の 1 行下方向へシフトされる。プロセッサアレイ 966 内には参照符号 983 で示すサーチエリアブロック（サーチウィンドウ）画素データが格納される。この状態で、次いでテンプレートブロック 982 の次の画素データ $X(2, 1)$ が与えられる。プロセッサ P_{ij} において確保されたサーチウィンドウ画素データは、 $Y(m+i, n+j+1)$ である。これらの画素データを用いて再び差分絶対値がとられかつ累算される。この動作が M 回繰返される。

【0030】 M 回上述の動作を繰返すと、外部からサーチエリアの 1 列のサーチエリア画素データが図 158 に示すサーチエリア入力レジスタ 962 を介して書込まれ

る。不要となったサーチエリアの1列の画像データは放出される。これにより、新しいサーチエリア画素データがサーチエリアサイドレジスタ964aおよび964bおよびプロセッサレイ966に格納される。この動作が各列ごとに繰返し実行される。

【0031】すなわち、図159に示すように、最初はサーチウィンドウ（サーチエリア内のすべての行を含むブロック）を用いて差分絶対値和の計算が実行される。Mサイクル完了後次のサーチウィンドウ（サーチエリア内の1列右隣のブロック）の画素データを用いて再び同様の計算が実行される。以降、サーチウィンドウ994、…と同様の動作が実行される。最終的にサーチエリア996のすべての画素データに対する計算が実行されると、プロセッサPijにおいては、歪みD(i, j)が求められて保持される。このプロセッサPijにおいて求められた歪みD(i, j)が動きベクトル検出部968へ伝達され、そこで最小の歪みを与える変位ベクトルが動きベクトルとして検出される。

【0032】

【発明が解決しようとする課題】動き補償付フレーム（またはフィールド）間予測符号化方式における予測画像検出方法には、いくつかの方式が提案されている。よりよい符号化効率を得るためには、複数の予測画像検出方式に従って動き検出処理を行なった後、最適な予測画像検出方式を選択し、この最適な予測画像検出方式に従って動きベクトルを検出する必要がある。画面の構成単位として、フィールドを単位とする場合とフレームを単位とする場合がある。1フレームは2フィールド（偶数フィールドと奇数フィールド）で構成される。このそれぞれの場合に対し、一例として以下のような予測画像検出方式がある。

【0033】(A) フィールドを単位として画素データを符号化する場合：

(a) フィールド画像をP×Q画素を単位として複数のブロックに分割し、各ブロックごとに1つの動きベクトルを検出する（1つの予測画像を生成する）。

【0034】(b) 分割ブロックをさらに画面垂直方向に関して上下に2分割し、2分割ブロック各々に対して1つの動きベクトルを検出する。したがって、P×Q画素のブロックに対しては上半分のブロックに対する動きベクトルと、下半分のブロックに対する動きベクトルを検出する（2つの予測画像を生成する）。

【0035】(B) フレームを単位として画素を符号化する場合：

(a) フレーム画像をP×Q画素のブロックを単位として複数のブロックに分割し、各ブロックに対し1つの動きベクトルを検出する（1つの予測画像を生成する）。

【0036】(b) P×Q画素のブロックを同一フィールドに存在する画素、すなわち奇数フィールドに属する

画素と偶数フィールドに属する画素との2つの画素グループに分割し、各画素グループに対して1つの動きベクトルを検出する。したがって、P×Q画素のブロックに対して、偶数フィールドの画素グループに対する動きベクトルと奇数フィールドに属する画像グループに対する動きベクトルとが検出される（2つの予測画像が生成される）。

【0037】上述の動きベクトル検出装置の構成の場合、プロセッサレイ内の各プロセッサは動きベクトルの候補である変位ベクトル（評価点）に対応して配置される。また各プロセッサは同じテンプレートブロック画素データを受ける。したがってプロセッサはすべて同じ予測画素方式に従って歪み（評価関数値）を求めることができるだけであり、複数の予測画像検出方式に従って並列態様で複数の動きベクトルを検出することはできない。前述のプロセッサPijが算出する歪みD(i, j)の式から明らかなように、与えられるテンプレートブロック画素データX(m, n)が決定されれば、それに応じて与えられるサーチウィンドウ画素データY(m+i, n+j)も一意的に決定されるためである。したがって符号化効率向上のために複数の予測画像検出方式を実行するためには、少なくとも複数の予測画像検出方式それぞれに対応して動きベクトル検出装置を設け、これらの動きベクトル検出装置を並列に動作させる必要があり、装置規模が増大するとともに消費電力が増大するという問題が生じる。

【0038】また上述の動きベクトル検出装置においては、プロセッサレイ内のすべてのプロセッサに対し同じテンプレートブロック画素データが共通に与えられるため、テンプレートブロックの画素データを書込むための回路には大きな駆動力が必要とされ、このテンプレートブロック画素データ書込回路における電流消費が大きくなり、装置全体としての電力消費が大きくなるという問題も生じる。

【0039】また、上述の動きベクトル検出装置の場合、各プロセッサは動きベクトル候補となる変位ベクトル（評価点）に対応して配置される。サーチエリアが垂直方向+16〜-16、水平方向-16〜+16であれば、動きベクトルの候補となる変位ベクトルの数は $33 \times 33 = 1089$ となり、プロセッサの数が非常に大きくなり、装置占有面積が大きくなるという問題が生じる。

【0040】さらに、演算の各サイクルにおいて、プロセッサレイ内におけるデータ転送はプロセッサを介して行なわれる。このとき、プロセッサ間のデータ転送方向を決定するために3入力レジスタが用いられており、この3入力レジスタのいずれかを駆動する必要があり、データ転送時における消費電力が増大するという問題も生じる。

【0041】また、動きベクトル探索方式には、全探索

方式と階層探索方式とがある。全探索方式は、サーチエリア内のすべての変位ベクトル（評価点）に対して評価関数値（差分絶対値和または差分二乗和等）を求め、すべての評価点の評価関数値から動きベクトルを求める方式である。階層探索方式は、その一例は特公平 3-68597 号公報に示されているが、以下の探索ステップを含む。サーチエリア内の評価点のうち代表評価点を決定し（評価点の間引き）、代表評価点について評価関数値を求める。代表評価点の評価関数値から最小の評価関数値を与える代表評価点を求め、最適代表評価点とする。次いで、この最適代表評価点を中心とする所定の大きさの領域内の全ての評価点について評価関数値を求め、これらの評価関数値から最適評価点を求め、動きベクトルを決定する。

【0042】階層探索方式の場合、サーチエリア内のすべての評価点について評価関数値を求める必要がなく、装置規模を小さくすることができ、また動きベクトル検出時間を短くすることができる。しかしながら、評価点を間引いて動きベクトルの検出を行なうため、全探索方式に比べて精度が劣るという欠点がある。逆に、全探索方式は精度は階層探索方式に比べて優れているという利点がある反面、装置規模が大きくなるという欠点がある。すなわち、単位時間当たりの演算回数が一定であると仮定し、同一量のハードウェアを用いて装置を構成する場合、階層探索方式を適用すれば広いサーチエリアを対象として予測画像を求めることができるものの、精度が劣るという欠点が生じ、また全探索方式を適用した場合、サーチエリアが狭くなるものの、動きベクトルの精度が優れているという利点を得られる。

【0043】特に現在 ISO（国際標準化機構）で標準化が進められている動画画像符号化方式においては現画面画像に対し時間的に前後する画面を用いて予測を行なうため、時間的に数画面（フレームまたはフィールド）離れた位置にある画面を用いて動き検出を行なうことが必要とされる。このような例としては、蓄積メディア符号化技術における B ピクチャーの動きベクトル検出がある。蓄積メディア符号化技術においては、画像データは蓄積メディアに格納されるため時間軸の制約がない。したがって、B ピクチャーと呼ばれる画像データに対しては、過去の画像を用いて予測画像を検出する順方向予測、未来の画像を用いて予測画像を検出する逆方向予測、および前後両画面を用いて予測を行なう内挿的（補間的）予測がある。このような前後画面を用いて予測を行なう場合、速い動きに追従するためには、サーチエリアを広くする必要がある（サーチエリアが狭ければ、画像がサーチエリアからはみ出し、正確な動きベクトル検出を行なうことができなくなる）。テンプレートブロックを中心として水平および垂直方向とも $\pm 64 \sim \pm 128$ 画素の範囲をサーチエリアとして探索が行なうのがよいとされている。このような広いサーチエリアを、装置

規模を増大させることなく実現するためには、上述の階層探索方式を利用することが必要となる。

【0044】しかしながら、従来の階層探索方式を前提とする動き予測方式については、単一予測モードに従った動き検出方式に従って予測画像を検出することができるだけであり、前述のような複数の予測モードを備える動き検出方式においてどのような階層探索方式を採用するかは未だ提案されていない。

【0045】それゆえ、この発明の目的は、装置規模を増大させることなく複数の予測モードに対応して予測画像を検出することのできる動きベクトル検出装置を提供することである。

【0046】この発明の他の目的は消費電流の増大および装置の複雑化をもたらすことなく複数の予測モードに従って高速に予測画像（動きベクトル）を検出することのできる動きベクトル検出装置を提供することである。

【0047】この発明のさらに他の目的は、装置規模を増大させることなく高精度で階層探索方式に従って動きベクトルを検出することのできる動きベクトル検出装置を提供することである。

【0048】この発明のさらに他の目的は、階層探索方式に従って、複数の予測モード（予測画像検出方式）各々に対する動きベクトルを高速かつ簡易な回路構成で検出することのできる動きベクトル検出装置を提供することである。

【0049】

【課題を解決するための手段】請求項 1 に係る動きベクトル検出装置は、現画面画像内の動きベクトル検出対象となる所定のサイズの現画像ブロックと参照画面内の現画像ブロックに関連する領域内の複数の参照画像ブロック各々の類似度を示すとともに複数の予測モード各々に従って決定される評価関数値を各参照ブロックごとにかつ複数の予測モード並列に求めるための評価手段と、この評価手段からの各参照ブロックごとおよび各複数の予測モードそれぞれについての評価関数値を並列に受け、現画像ブロックに対する各予測モードについての動きベクトルを並列に決定する動きベクトル決定手段を備える。

【0050】請求項 2 に係る動きベクトル検出装置は、請求項 1 に係る評価手段が、現画像ブロックに含まれる画素に対応して配置され、参照画像ブロック内の対応の画素データと現画像ブロック内の対応の画素データとを一時格納する格納手段を含み、かつ格納手段に格納された画素データに評価関数の一部をなす演算を行なう複数の第 1 の演算手段と、これら複数の第 1 の演算手段の出力を複数の予測モード各々に対応して分類し、各分類ごとに第 1 の演算手段の出力に評価関数の残りの演算を並列態様で行なう第 2 の演算手段を含む。

【0051】請求項 3 に係る動きベクトル検出装置は、請求項 1 の複数の第 1 の演算手段が、各々が一方方向に

沿ってのみ格納手段に格納された画素データを転送するように配置されるとともに、現画像ブロックに対応する行および列のマトリックス状に配置される複数のプロセッサを備える。

【0052】請求項4に係る動きベクトル検出装置は、現画面および参照画面が偶数フィールドおよび奇数フィールドを含むフレームで構成され、複数の予測モードは、奇数フィールドに含まれる画素を用いる動き予測モード（予測画像検出方式）と、偶数フィールドに含まれる画素を用いる動き予測モードと、フレームに含まれる画素を用いる動き予測モードとを含む。

【0053】請求項5に係る動きベクトル検出装置では、上記現画面および参照画面の各々が1つのフィールドにより構成され、複数の予測モードが、現画像ブロックの垂直方向に2等分して得られる上半分のブロックに含まれる画素を用いる動き予測モードと、下半分のブロックに含まれる画素を用いる動き予測モードと、これら上半分および下半分のブロック両者に含まれる画素を用いる動き予測モードを含む。

【0054】請求項6に係る動きベクトル検出装置は、請求項1ないし5のいずれかの動きベクトル検出装置における第2の演算手段が、現画像ブロックをフレーム画面構成時において垂直方向の上下2ブロックに分割し、かつ偶数フィールドの画素を含む偶数フィールドブロックおよび奇数フィールドに含まれる画素を含む奇数フィールドブロックの4ブロックに分割し、これら4分割ブロックそれぞれに対して対応の第1の演算手段の出力を並列に受け、予測モード指定信号に従って、4分割ブロックの構成を変更して3分類を実現する切換手段を含む。この切換手段が実現する3分類は、フレームに含まれる画素を用いるフレーム予測モード、奇数フィールドに含まれる画素を用いる奇数フィールド予測モード、および偶数フィールドに含まれる画素を用いる偶数フィールド予測、または画面がフィールドを単位として構成され、このフィールド内の画素を用いて動き予測を行なうフィールド予測モード、現画像ブロック内の上半分に含まれる画素を用いる上半分予測モードおよび現画像ブロックの下半分のブロックに含まれる画素を用いる下半分予測モードのいずれかである。

【0055】請求項7に係る動きベクトル検出装置は、画面の形式を指定する形式指定信号に応答して、入力画像データの画面形式をこの形成指定信号が指定する形式に設定して評価手段へ与える入力設定手段をさらに含む。

【0056】請求項8に係る動きベクトル検出装置は、請求項1ないし7のいずれかの動きベクトル検出装置における複数の第1の演算手段が、実質的に1次元アレイを構成するように配置され、入力した現画像データを一方方向に沿って伝達する複数のプロセッサと、これら複数のプロセッサの所定数ごとに配置され、入力部または

前段プロセッサから与えられる参照画像ブロック画素データを格納するとともにその格納画素データを格納した順に出力するその有効格納画素数が増減可能なバッファ手段を備える。

【0057】請求項9に係る動きベクトル検出装置は、請求項1ないし8のいずれかに記載の動きベクトル検出装置がさらに、現画像画素ブロックに関連する領域内の所定の条件を満足する代表評価点に対応する参照画像ブロックに対して複数の予測モードに従って評価関数値を複数の予測モードそれぞれに対して並列に求める第3の演算手段と、この第3の演算手段の出力に基づいて第1の演算手段が演算すべき参照画像ブロックの領域を各予測モードに対して指定する領域指定手段をさらに備える。第1の演算手段は、この領域指定手段により指定された領域に対応して配置され、領域指定された参照画像ブロック領域内において複数の予測モードに従って評価関数値を並列に求める。

【0058】請求項10に係る動きベクトル検出装置は、請求項9における動きベクトル検出装置において、領域指定手段が複数の予測モードそれぞれ別々に参照画像ブロック領域を指定する。

【0059】請求項11に係る動きベクトル検出装置は、請求項9の領域指定手段が、複数の予測モードに対し1つの参照画像領域を指定する。

【0060】請求項12に係る動きベクトル検出装置は、請求項9における領域指定手段が、複数の予測モードに対し共通に1つの参照画像ブロック領域を設定しかつ第1の演算手段に対し1つの予測モードのみに従って評価関数値を算出する演算動作のみをイネーブルする。

【0061】請求項13に係る動きベクトル検出装置は、動きベクトル検出対象となる現フレーム画像ブロックの各画素に対応して配置される複数のプロセッサを含み、現フレーム画像ブロックの画素データと、対応の参照画像ブロックの画素データとを入力し、入力した両ブロックの対応の画素データに対し所定の演算を行なう演算手段と、この演算手段の出力を偶数フィールド内の画素に対する演算結果と、奇数フィールド内の画素に対する演算結果とに分類し、各分類ごとに演算手段の出力を加算して総和を求める総和手段と、この総和手段の出力に従って、各分類に対する動きベクトルを並列態様で設定する動きベクトル決定手段を備える。これにより、奇数フィールド画素を用いた奇数フィールド予測モードに従う動きベクトル、偶数フィールド画素を用いる偶数フィールド予測モード、およびフレーム画素を用いるフレーム予測モードそれぞれに従う動きベクトルを並列に決定する。

【0062】請求項14に係る動きベクトル検出装置は、動きベクトル検出対象となる現フィールド画像ブロック内の各画素に対応して配置される複数のプロセッサを含み、この現フィールド画像ブロック内の画素データ

と対応の参照画像ブロック内の画素データとを入力し、入力した両ブロックの対応の画素データに対し所定の演算を行なう演算手段と、この演算手段の出力を、現画像ブロックの垂直方向上半分のブロックの画素に対する演算結果と、現画像ブロック垂直方向下半分のブロックの画素に対する演算結果と、現画像ブロック画素に対する演算結果とに分類し、各分類ごとに演算手段の出力を加算して総和を求める総和手段と、この総和手段の出力に従って各分類ごとに動きベクトルを並列態様で決定する動きベクトル決定手段を備える。これにより現フィールド画像ブロックの上半分のブロックの画素を用いる上半分ブロック予測モード、現画像ブロックの下半分のブロックの画素を用いる下半分ブロック予測モードおよび現画像ブロックの画素を用いるフィールド予測モードそれぞれに従う動きベクトルを並列に決定する。

【0063】請求項15に係る動きベクトル検出装置は、現画面画像の動きベクトル検出対象となる現画像ブロックの各画素に対応して配置される複数のプロセッサを含みかつこの現画像ブロックの各画素データと参照画面画像内とこの現画面画像ブロックに関連する領域内の参照画像ブロックとを入力し、入力した両ブロックの対応の画素データに対し所定の演算を行なう演算手段を含む。複数のプロセッサは、画面がフレームで構成されると仮定して、この現画像ブロックの画面上垂直方向の上半分ブロックの画素に対応しかつ奇数フィールドの画素に対応する第1のプロセッサ群と、この上半分のブロックの画素に対応しかつ偶数フィールドの画素に対応して配置される第2のプロセッサ群と、現画像ブロックの画面垂直方向の下半分の画素に対応しかつ奇数フィールドの画素に対応して配置される第3のプロセッサ群と、下半分の画素に対応しかつ偶数フィールドの画素に対応して配置される第4のプロセッサ群とを含む。

【0064】請求項15に係る動きベクトル検出装置はさらに、モード指定信号に応答して、この演算手段の出力を3つの類に分類する分類手段を含む。この分類手段は、第1および第2のプロセッサ群を組合わせかつ第3および第4のプロセッサ群の出力を組合わせて2つの類を生成する第1の組合わせ手段と、第1および第3のプロセッサ群を組合わせかつ第2および第4のプロセッサ群の出力を組合わせる第2の組合わせ手段と、モード指定信号に応答してこれら第1および第2の組合わせ手段の一方の出力を選択して出力する手段を含む。

【0065】請求項15に係る動きベクトル検出装置はさらに、この分類手段の出力を各類ごとに加算し、かつ総和して各分類に対する評価関数値および現画像ブロック全体に対する評価関数値を並列態様で生成する評価値生成手段と、この評価値生成手段の出力に従って、現画像ブロックの動きベクトルを各分類および現画像ブロックに対して並列態様で決定する動きベクトル決定手段を備える。

【0066】請求項16に係る動きベクトル検出装置は、参照画像データの入力順序と出力順序とを異ならせる手段を含み、入力参照画面画像データを一時的に格納するバッファ手段と、このバッファ手段から読出された参照画像データと現画面画像データとから動きベクトル検出対象となる現画像ブロックの動きベクトルを算出する手段を備える。

【0067】請求項17に係る動きベクトル検出装置は、動きベクトル検出対象となる現画像ブロックの画素に対応して配置され、各々が対応の現画像ブロックの画素データとこの現画像ブロックに関連する参照画面画像内の参照画像ブロックの対応の画素データとを格納する格納手段と、この格納手段に格納されたデータを一方方向のみに沿って伝達するとともに格納手段に格納された画素データに所定の演算処理を行なう演算手段とを各々が含む複数のプロセッサと、これら複数のプロセッサの所定数ごとに配置され、入力部または前段のプロセッサから伝達された参照画像ブロック画素データを一時的に格納しかつ順次格納画素データを格納順に次段のプロセッサへ伝達するその有効格納画素数が増減可能なバッファ手段と、複数のプロセッサ手段の演算結果出力から現画像ブロックの動きベクトルを決定する動きベクトル決定手段を備える。

【0068】請求項18に係る動きベクトル検出装置は、動きベクトル検出対象となる現画面ブロックとこの現画像ブロックに関連する参照画面内の探索領域のすべての評価点のうち代表評価点に対応する参照画像ブロックとのブロックマッチング処理を複数の予測モードに従って行ない、複数の予測モード各々に対して最もよい相関度を示す最適代表評価点を並列に求める第1の算出手段と、この第1の算出手段からの複数の予測モード各々に対する最適代表評価点に従って、各最適代表評価点が示す評価点を中心とする所定の大きさの参照画面内の領域内に含まれる評価点すべてに対し現画像ブロックと参照画像ブロックとのブロックマッチング処理を行ない、複数の予測モード各々に対する動きベクトルを算出する第2の算出手段と、この第2の算出手段の出力に従って、複数の予測モードのうちの最適予測モードの決定およびそれに対応する最適ベクトルを動きベクトルと決定する手段を含む。

【0069】請求項19に係る動きベクトル検出装置は、動きベクトル検出対象となる現画像ブロックとこの現画像ブロックに関連する参照画面内の所定の大きさを有する探索領域内のすべての評価点のうちの代表評価点に対応する参照画像ブロックとのブロックマッチング処理を複数の予測モードに従って並列態様で実行し、これら複数の予測モード各々に対する最もよい類似度を示す最適代表評価点を求める第1の算出手段と、複数の予測モード各々に対応して設けられ、第1の算出手段からの対応の予測モード各々に対する最適代表評価点に従

て、対応の最適代表評価点を含む探索領域内の所定の大きさの領域に含まれる評価点すべてに対し対応の予測モードに従って現画像ブロックと参照画像ブロックとのブロックマッチングを行ない、対応の予測モードに対する最適ベクトルおよび最適評価関数値を算出する第2の算出手段と、この第2の算出手段の出力に従って、最適ベクトルのうちから前記現画像ブロックに対する動きベクトルを決定する動きベクトル決定手段を含む。

【0070】請求項20に係る動きベクトル検出装置は、動きベクトル検出対象となる現画像ブロックとこの現画像ブロックに関連する参照画面内の所定の大きさの探索領域内のすべての評価点のうちの代表評価点に対応する参照画像ブロックとのブロックマッチング処理を複数の予測モードに従って並列態様で実行し、これら複数の予測モード各々に対し、最もよい相関度を示す最適代表評価点を求める第1の算出手段と、この第1の算出手段の出力に従って複数の予測モードそれぞれに対する最適代表評価点のうち最も高い類似度を示す第1の最適評価点を決定する第1の最適評価点決定手段と、この第1の最適評価点決定手段からの最適ベクトルに従ってこの最適ベクトルが示す評価点を含む探索領域内の所定のサイズの領域内のすべての評価点に対し複数の予測モードそれぞれに従って変位ベクトルを求め、これらの求めた変位ベクトルから最適変位ベクトルを各予測モードに対して求める第2の算出手段と、この第2の算出手段からの最適変位ベクトルを受け、最も高い相関度を示す最適変位ベクトルを現画像ブロックの動きベクトルと決定する動きベクトル決定手段を含む。

【0071】請求項21に係る動きベクトル検出装置は、動きベクトル検出対象となる現画像ブロックとこの現画像ブロックに関連する参照画面内の所定の大きさの探索領域のすべての評価点のうちの代表評価点に対応する参照画像ブロックとのブロックマッチング処理を複数の予測モードに従って並列態様で実行し、複数の予測モード各々に対する最もよい相関度を示す最適代表評価点を求める第1の算出手段と、この第1の算出手段の出力に従って最も高い相関度を示す最適予測モードおよび対応の最適代表評価点を決定する第1の決定手段と、この第1の決定手段からの最適予測モードおよび最適代表評価点に従って、この最適評価点を含む探索領域内の所定の領域内のすべての評価点に対し最適予測モードに従ってブロックマッチング処理を行ない、各参照画像ブロックに対する評価関数値を求める第2の算出手段と、この第2の算出手段からの評価関数値に従って前記現画像ブロックに対する動きベクトルを決定する動きベクトル決定手段を含む。

【0072】請求項22に係る動きベクトル検出装置は、現画面画像のQ行P列の画素からなる現画面ブロックの各画素に対応して行列状に配置されるプロセッサと、P列の各列に対応して配置され、各々がR個の参照

画面画像画素データを格納するデータ格納手段とを有するプロセッサレイを含む。プロセッサとデータ格納手段とは1次元的に一方方向に沿って参照画面画像画素データを転送するように相互接続される。プロセッサの各々は、対応の現画面画像画素データを格納する第1のレジスタと、与えられた参照画面画像画素データを格納する第2のレジスタ手段と、この第1および第2のレジスタ手段の格納する画素データに所定の演算処理を施して各プロセッサに格納された参照画面ブロックと現画面ブロックの類似度を示す評価関数値の成分を出力する演算手段を含む。

【0073】請求項22に係るベクトル検出装置は、さらに、1サイクル当たり1画素データの速度で、参照画面画像画素データをプロセッサレイへ与えるデータ印加手段と、プロセッサレイから出力される評価関数値成分を総和して1サイクル当たり1評価関数値を生成する評価値生成手段と、この評価値生成手段から所定数のサイクルにわたって与えられる評価値に従って現画面ブロックの動きベクトルを検出する動きベクトル決定手段と、所定数サイクルを $A \cdot (P \cdot (Q + R))$ サイクルに設定する手段を備える。Aは、任意の自然数である。請求項23に係るベクトル検出装置は、各々が、Q行P列の画素を含みかつ異なる現画面画像ブロックに対応して配置されるA個のプロセッサレイを含む。A個のプロセッサレイの各々は、対応の現画面ブロックの各画素に対応して行列状に配置されるプロセッサと、プロセッサの各列に対応して配置され、各々がR個の参照画面画像画素データを格納するデータ格納手段とを有する。プロセッサとデータ格納手段とは1次元的に一方方向に沿って参照画面画像画素データを転送するように相互接続される。プロセッサの各々は、対応の現画面ブロックの画素データを格納する第1のレジスタ手段と、与えられた参照画面画像画素データを格納する第2のレジスタ手段と、これら第1および第2のレジスタ手段に格納された画素データに所定の演算処理を施して対応の現画面ブロックと与えられた参照画面画像ブロックとの類似度を示す評価関数値の成分を出力する演算手段とを含む。

【0074】請求項23に係るベクトル検出装置はさらに、A個のプロセッサレイ各々に対応して設けられ、各々が対応のプロセッサの出力する評価関数値成分から評価関数値を生成するA個の評価値生成手段と、A個の評価値生成手段対応して設けられ、対応の評価値生成手段の $A \cdot P \cdot (Q + R)$ サイクルにわたって与えられる評価関数値に従ってそれぞれ動きベクトルを決定するA個の動きベクトル決定手段と、A個のプロセッサレイの現画面ブロック画素データ全体を $A \cdot P \cdot (Q + R)$ サイクルごとに順次更新する手段とを備える。請求項24に係るベクトル検出装置は、Q行P列の画素を含む現画面ブロックの各画素に対応して行列状に配置される複数のプロセッサを含む。複数のプロセッサの各々は、対応の

現画面画像画素データを格納する第1のレジスタ手段と、与えられた参照画面ブロック画像画素データを格納する第2のレジスタ手段と、これら第1および第2のレジスタ手段の格納する画素データに所定の演算処理を施して参照画面ブロックと現画面ブロックとの類似度を示す評価値成分を出力する演算手段とを備える。

【0075】請求項24に係るベクトル検出装置は、さらに、プロセッサの各列に対応して配置され、各々がR個の参照画面画像画素データを格納するデータ格納手段を含む。プロセッサレイは各々が $(P/b) \cdot (Q/c)$ の画素に対応する複数のサブブロックに分割され、これらサブブロックは行列状に配置される。同じ列に配置されたサブブロックに対しては同じ参照画面ブロックの画素データが与えられ、また各列において、1つのサブブロックはプロセッサとデータバッファが1次元的に参照画面ブロック画素データを転送するように相互接続され、同じ列における残りのサブブロックは各列が一方方向にのみ沿って参照画面ブロック画素データを転送するようにプロセッサが接続され、同じ列に配置されたサブブロックはデータバッファを共有し、各サブブロックはデータ格納手段を介して参照画面画像画素データを入力する。

【0076】請求項24に係るベクトル検出装置は、さらに、サブブロック各々から $(P/b) \cdot \{(Q/c) + R\} \cdot b \cdot c$ サイクルにわたって与えられる評価関数値成分を各サイクルごとに加算して評価関数値をそれぞれ生成し、かつ生成した評価関数値に従って対応のサブブロックそれぞれについて動きベクトルを決定する手段と、複数のサブブロック各々に互いに異なる現画面ブロックの画素データを格納するとともに、 $(P/b) \cdot \{(Q/c) + R\} \cdot b \cdot c$ サイクルごとに現画面ブロックを順次更新する手段とを備える。請求項25に係るベクトル検出装置は、現画面ブロックの画素に対応して行列状に配置される複数のプロセッサと、各プロセッサの列に対応して配置される参照画面画像画素データを格納するデータ格納手段とを含む。このプロセッサの各々は、第1の現画面ブロックの画素データを格納する第1のレジスタと、第2の現画面ブロックの対応の画素データを格納する第2のレジスタ手段と、与えられた参照画面ブロックの画素データを格納する第3のレジスタ手段と、第1および第2のレジスタ手段の出力の一方の選択する選択手段と、選択手段が出力する画素データと第3のレジスタ手段に格納された画素データとに所定の演算処理を施して評価関数値成分を生成する演算手段を含む。

【0077】請求項25に係るベクトル検出装置は、さらに、このプロセッサレイから出力される評価関数値成分に従って評価関数値を生成する評価値生成手段と、この評価値生成手段から与えられる評価関数値に従って動きベクトルを決定する動きベクトル決定手段と、第1および第2の現画面ブロックの一方についての動きベ

トル検出サイクルの間に他方の現画面ブロック画素データを格納するレジスタを別の現画面ブロックの画素データで更新する手段と、動きベクトル検出サイクルごとに選択手段の選択するレジスタを切替える手段とを備える。請求項26に係るベクトル検出装置は、現画面内の動きベクトル検出対象となる所定のサイズの現画像ブロックと最小画面内の現画像ブロックに関連する領域内の複数の参照画像ブロック各々との類似度を示す評価関数値を生成する評価値生成手段と、この評価値生成手段から与えられる評価関数値に従って現画像ブロックの動きベクトルを決定する決定手段を含む。この決定手段は、評価関数値が同じとき、参照画面ブロックの現画面ブロックについてのベクトル (H, V) に従って (i) $|H| + |V|$ の小さいほうの参照画像ブロックのベクトルを動きベクトル候補として選択する第1の選択手段と、 (ii) $|H| + (-V + \alpha)$ の小さいほう参照画像ブロックのベクトルを動きベクトルの候補として選択する第2の選択手段と、 (iii) $|H| + (V + \alpha)$ の小さいほうの参照画像ブロックのベクトルを動きベクトルの候補として選択する第3の選択手段と、動作モード指定信号に応答して、第1ないし第3の選択手段のいずれか1つを活性状態とする手段とを備える。ここで、 α はY方向の参照画面内の現画像ブロックに関連する領域の範囲に応じて決定される定数である。

【0078】請求項27に係るベクトル検出装置は、現画面画像所定のサイズの現画面ブロックとこの現画面ブロックに関連する参照画面内の所定領域に含まれる複数の参照画面ブロックのそれぞれとを複数の予測モードそれぞれに従ってブロックマッチング処理を施して整数精度での動きベクトルを複数の予測モード各々について決定する整数精度ベクトル決定手段と、この整数精度ベクトル決定手段からの現画面ブロック画素データとこの整数精度ベクトル決定手段により決定された複数の予測モード各々の動きベクトルで示される複数の参照画面ブロックそれぞれの画素データを格納する格納手段と、この格納手段に格納された現画面ブロック画素データと複数の参照画面ブロック各々とを分数精度でブロックマッチング処理を行なって複数の予測モード各々の分数精度での動きベクトルを決定する分数精度ベクトル決定手段とを備える。請求項28に係るベクトル検出装置は、現画面の所定のサイズの現画面ブロックと、所定のサイズの探索領域内の複数の参照画面画像に対応する複数の参照画面ブロック各々との類似度を示す評価関数値を求める評価値算出手段と、探索領域の有効領域を設定する設定手段と、この設定手段により設定された有効領域に含まれる参照画面ブロックに対する、評価値算出手段の評価関数値に従って現画面ブロックの動きベクトルを決定する手段とを備える。

【0079】

【作用】請求項1に係る発明においては、評価手段が複

数の予測モード（予測画像検出方式）各々に対応する評価関数値を並列に算出し、動きベクトル決定手段がこの評価手段の出力に従って各予測モードに対する動きベクトルを決定しており、複数の予測モードに対応して動きベクトルを高速かつ装置規模を増大させることなく検出することができる。

【0080】請求項2に係る発明においては、評価手段が現画像ブロックの画素に対応して配置されたプロセッサを有し、これらのプロセッサが対応の現画像ブロックの画素と対応の参照画像ブロックの対応の画素との演算を行なって評価関数値成分を出力しているため、複数の予測モードに共通の演算を同じ回路構成を用いて実行することができる、装置規模を低減することができる。

【0081】請求項3に係る発明においては、第1の演算手段が一方方向に沿ってのみ画素データを転送することが要求されるだけであり、画素データ転送時の電流消費を低減することができる。

【0082】請求項4に係る発明においては、複数の予測モードが奇数フィールド予測モード、偶数フィールド予測モードおよびフレーム予測モードを含んでおり、これらの複数の予測モード各々に対応して動きベクトルを高速で検出することができる。

【0083】請求項5に係る発明においては、複数の予測モードが、上半分ブロック予測モード、下半分ブロック予測モード、およびフィールド予測モードを含んでおり、画面形式がフィールド画面の場合、これら複数の予測モードに対応して高速に動きベクトルを検出することができる。

【0084】請求項6に係る発明においては、分類手段により第1の演算手段の出力が分類され、かつ切換手段によりこの分類の構成を変更しているため、任意の予測モードに容易にかつ柔軟に対応することができる。

【0085】請求項7に係る発明においては、画面形式指定信号に従って入力画像データの画面形式を設定して評価手段へ与えているため、任意の画面形式の画像データに対しても所望の予測モードに従って動きベクトルを検出することができる。

【0086】請求項8に係る発明においては、プロセッサ間に配置されたバッファ手段の有効格納画素数が増減可能なため、動きベクトル探索範囲となるサーチエリアの大きさを容易に変更することができる。

【0087】請求項9に係る発明においては、第3の演算手段はサーチエリアの評価点を間引いて評価関数値の算出を行なって最適代表評価点を複数の予測モードそれぞれに対して求め、第1の演算手段の動きベクトル検索範囲を決定し、第1の演算手段は決定されたサーチエリア内で全評価点を用いて評価関数値を求めているため、すべての評価点に対し評価関数値を求める必要がなく、装置規模を増大させることなく高速で複数の予測モードに従って動きベクトルを検出することができる。

【0088】請求項10に係る発明においては、第1の演算手段の評価関数値の演算領域が複数の所定モード各々に対応して領域設定手段により決定され、第1の演算手段は決定された演算領域内で複数の予測モードに従って評価関数値を算出しており、装置規模を増大させることなく高速で複数の予測モードに従って最適な動きベクトルを決定することができる。

【0089】請求項11に係る発明においては、第1の演算手段は領域設定手段により1つの演算領域内で複数の予測モードに従って評価関数値を算出しているため、装置規模をさらに低減して複数の予測モードに従って最適な動きベクトルを検出することができる。

【0090】請求項12に係る発明においては、領域設定手段により、複数の予測モードのうちの最適予測モードおよび演算領域が決定され、第1の演算手段はこの最適予測モードに従って演算領域内の評価点に対する評価関数値を算出し、この算出結果に従って動きベクトルを検出しているため、装置規模をさらに低減することができる。とともに、広い範囲のサーチエリアに対して高速かつ高精度で動きベクトルを決定することができる。

【0091】請求項13に係る発明においては、プロセッサが現画像ブロックの画素に対応して配置されており、プロセッサ出力を複数の予測モードに従って容易に分類することができる。したがって、複数の予測モード（偶数フィールド予測モード、奇数フィールド予測モードおよびフレーム予測モード）に従う評価関数値の算出を並列態様で実行することができ、装置規模を増大させることなく高速で動きベクトルを検出することができる。

【0092】請求項14に係る発明においては、プロセッサが現画像ブロックの画素に対応して配置されており、プロセッサの出力を複数の予測モードに従って容易に分類することができる。したがって、複数の予測モード（上半分ブロック予測モード、下半分ブロック予測モード、およびフィールド予測モード）に従って評価関数値を並列に算出することができ、装置規模を増大させることなく高速で動きベクトルを容易に検出することができる。

【0093】請求項15に係る発明においては、プロセッサが現画像ブロックの画素に対応して配置されており、プロセッサの出力を複数の予測モードに従って容易に分類することができる。また、分類手段がプロセッサの出力を4つの属性にしたがって分類し、この4分類を構成を切換えて3分類に変更しているため、異なる予測モードに対しても装置構成を何ら変更することなく対応することができ、汎用性の高い動きベクトル検出装置を実現することができる。

【0094】請求項16に係る発明においては、バッファ手段が入力画像データの入出力順序を変更して評価手段へ与えているため、さまざまな画面構成の入力画像デ

ータに対しても所定の複数の予測モードに従って動きベクトルを何ら装置構成を変更することなく検出することができる。

【0095】請求項17に係る発明においては、プロセッサ間に配置されたバッファ手段の有効格納画素数は変更可能であるため、動きベクトルのサーチエリアの大きさを容易に変更することができる。

【0096】請求項18に係る発明においては、第1および第2の算出手段により階層探索方式に従ってかつ複数の予測モードに従って各予測モードに対する動きベクトルを検出し、次いでベクトル決定手段によりこれら複数の予測モードに対応する動きベクトルから最適動きベクトルを決定しているため、装置規模を増大させることなく効率的に動きベクトルを検出することができる。

【0097】請求項19に係る発明においては、第1の算出手段により評価点を間引いて最適評価点候補を決定し、次いで第2の算出手段により複数の予測モードそれぞれに対して最適ベクトルを算出し、最終的に動きベクトルを決定しているため、装置規模を何ら増大させることなく高速で動きベクトルを検出することができる。

【0098】請求項20に係る発明においては、第1の算出手段により動きベクトルサーチエリア内の評価点を間引いて評価関数値の演算を実行して最適評価点の候補を算出し、この最適評価点候補に従って第2の算出手段により複数の予測モードに従って評価関数値をその周辺領域に含まれる評価点に対して算出し、この算出結果に従って動きベクトルを検出しているため、第2の算出手段の評価点探索領域を複数の予測モードに対して共通とすることができ、装置規模を増大させることなく高速で動きベクトルを検出することができる。

【0099】請求項21に係る発明においては、第1の算出手段により評価点を間引いて複数の予測モードに従って評価関数値を求め、この第1の算出手段の出力に従って最適予測モードおよび対応の最適評価点を求め、この最適予測モードおよび最適評価点に従って最適評価点近傍領域の評価点全てを用いて評価関数値を求め、これらの評価関数値から動きベクトルを最終的に決定しているため、第2の算出手段の規模を何ら増大させることなく複数の予測モードに従って動きベクトルを高速で検出することができる。請求項22に係る動きベクトル検出装置においては、所定サイクル $A \cdot (P \cdot (Q + R))$ の係数 A を変更することにより、動きベクトル探索範囲を変更することができ、複数の探索範囲に容易に対応することのできる動きベクトル検出装置が得られる。

【0100】請求項23に係る動きベクトル検出装置において、 A 個のプロセッサレイに異なる現画面ブロックの画素データが格納され、 $A \cdot P \cdot (Q + R)$ サイクルの処理単位サイクルごとに順次プロセッサレイの格納する現画面ブロックの画素データが全体として更新され、かつ各プロセッサレイには同じ参照画面ブロック

画素データが与えられており、パイプライン的に A 個のプロセッサレイにおいて動きベクトルを決定することができ、高速かつ効率的に動きベクトルを検出する装置が得られる。請求項24に係る動きベクトル検出装置においては、複数のサブブロック各々が異なる現画面ブロックに対応して配置されて、各サブブロックが現画面ブロックの動きベクトルを検出し、同じ列のサブブロックへは同じ参照画面ブロックの画素データを与えかつ処理単位サイクルごとに順次サブブロックの現画面ブロックの画素データを更新しているため、大きな現画面ブロックを複数のサブブロックに分割して各サブブロックについてパイプライン的に動きベクトルを効率的に検出することができる。

【0101】請求項25に係る動きベクトル検出装置においては、プロセッサの第1および第2のレジスタ手段の画素データが処理単位サイクルごとに更新されかつ選択手段によりこれらの第1および第2のレジスタ手段が切換えられており、パイプライン的に現画面画像の各ブロックに対する動きベクトルを順次検出することができる。請求項26に係る動きベクトル検出装置においては、動作モードに応じて第1ないし第3の選択手段それぞれの探索範囲の中央部、中央部下端部および中央部上端に近いベクトルのいずれかを動きベクトル候補として選択しており、この動きベクトル検出装置は単体、および複数の用いる構成に応じて最適な動きベクトル候補を選択することができ、様々なシステム構成に容易に対応することのできる動きベクトル検出装置を実現することができる。

【0102】請求項27に係る動きベクトル検出装置においては、整数精度ベクトル決定手段による複数の予測モード各々の動きベクトルに従ってさらに分数精度での動きベクトルを各予測モードについて検出しており、高精度の動きベクトルを複数の予測モードそれぞれに対して検出することができる。請求項28に係る動きベクトル検出装置においては、探索領域の有効領域が設定され、その有効領域内の参照場面ブロックについての評価関数値に従って動きベクトルが検出されており、たとえば現画面端に位置する現画面ブロックに対して必要な参照画面ブロックについての評価関数値のみを用いて動きベクトルを検出することができ、正確な動きベクトルを検出することができる。また、処理用途に応じて各現画面ブロックについて探索範囲を制限することができ、処理用途に応じた探索範囲を各現画面ブロックについて設定することのできる汎用性の高い動きベクトル検出装置を実現することができる。

【0103】

【実施例】

〔全探索方式の動きベクトル検出装置〕図1はこの発明の一実施例である動きベクトル検出装置の全体の構成を概略的に示すブロック図である。図1においては、フレ

ームを単位として画素を符号化する場合の構成が示される。

【0104】図1において、動きベクトル検出装置は、サーチエリア内の所定の領域に含まれるサーチウィンドウ（サーチウィンドウについて後に説明する）画素データYとテンプレートブロック画素データXとを受け、受けたデータXおよびYをそれぞれ所定のタイミングで出力する入力部2と、入力部2から与えられたデータXおよびYに基づいて、1つのテンプレートブロックに対する変位ベクトルについての3つの評価関数値（差分絶対値和）を算出する演算部1と、演算部1で求められた3つの評価関数値 $\Sigma |a-b|$ 、 $\Sigma \cdot |a-b|$ および $\Sigma \cdot |a-b|$ を受け、それぞれの評価関数値について最小の評価関数値を求め、それぞれの最小評価関数値に対応する変位ベクトルを動きベクトルと決定する比較部3を含む。ここで $\Sigma |a-b|$ は、現画像ブロック（テンプレートブロック）の全画素を用いて評価関数値を求めるフレーム予測モードの評価関数値に対応する。aおよびbはテンプレートブロック画素データおよび参照画像ブロック（サーチウィンドウブロック）の対応の画素データを示す。 $\Sigma \cdot |a-b|$ は奇数フィールドに含まれる画素を用いて予測画像を検出する奇数フィールド予測モードに従う評価関数値に対応する。 $\Sigma \cdot |a-b|$ は、偶数フィールドに含まれる画素を用いて予測画像を検出する偶数フィールド予測モードに従って算出された評価関数値を表わす。

【0105】比較部3からそれぞれの予測モードに従って決定された動きベクトル、すなわちフレーム予測モードに従って決定されたブロック動きベクトルVb、奇数フィールド予測モードに従って決定された奇数フィールドブロック動きベクトルVo、偶数フィールド予測モードに従って決定された偶数フィールドブロック動きベクトルVeが並列に出力される。

【0106】演算部1は、後にその構成は詳細に説明するが、テンプレートブロックの各画素に対応して2次元アレイ状に配置される複数の要素プロセッサを含むプロセッサアレイ10と、プロセッサアレイ10の各要素プロセッサが出力する演算結果値（本実施例においては差分絶対値）を予測モードに従って分類して各分類ごとに加算して総和を求める総和部12を含む。総和部12から各予測モードに対応する評価関数値 $\Sigma |a-b|$ 、 $\Sigma \cdot |a-b|$ 、および $\Sigma \cdot |a-b|$ が並列に出力される。

【0107】プロセッサアレイ10に含まれる要素プロセッサは、互いに異なるテンプレートブロック画素データを格納し、このテンプレートブロックに関連するサーチエリア内の参照画像ブロックの画素データが要素プロセッサを介して一方方向に沿って順次伝達される。プロセッサアレイ内の要素プロセッサでは、テンプレートブロックの画素データと1つの参照画像ブロック（以下、

サーチウィンドウブロックと称す）の画素データとの演算が実行される。要素プロセッサの出力は並列に出力される。したがって、各要素プロセッサは、1つのテンプレートブロックと1つのサーチウィンドウブロックとの相関度を示す評価関数値の成分を算出する。プロセッサアレイ10においては、テンプレートブロック画素データはこのテンプレートブロックについての動きベクトルを求めるサイクル中、常時格納されている。サーチウィンドウブロック画素データは、1演算サイクル（評価関数算出サイクル）ごとにこのプロセッサアレイ10内の要素プロセッサ間を1画素分シフトされる。

【0108】要素プロセッサはテンプレートブロックの各画素に対応して配置される。奇数フィールド予測モードおよび偶数フィールド予測モードでは、それぞれテンプレートブロック（およびサーチウィンドウブロック）の奇数フィールドに属する画素および偶数フィールドに属する画素を用いて評価関数値を算出する。フレームは、偶数フィールドと奇数フィールドとを含んでおり、画面上1水平走査線ごとに奇数フィールド画素と偶数フィールド画素とが交互に配置される。したがって、要素プロセッサの出力も、偶数フィールド画素に対応して配置される要素プロセッサの出力は偶数フィールド予測モードに従う評価関数値の成分を表わし、奇数フィールド画素に対応して配置される要素プロセッサの出力は奇数フィールド予測モードに従う評価関数値の成分を表わす。したがってこれらの要素プロセッサの出力をそのプロセッサアレイ内の配置位置に応じて分類することにより、複数の予測モードそれぞれに対応する評価関数値を算出することができる。フレーム予測モードの場合には偶数フィールドおよび奇数フィールドの評価関数値を単に加算すれば得られる。次に、図1に示す演算部の具体的構成について説明する。

【0109】図2は、この実施例において利用されるテンプレートブロックおよびサーチエリアの大きさを示す図である。テンプレートブロック20は、Q行P列に配置された画素を含む。サーチエリア22は、水平方向における探索範囲が+t1〜-t2であり、垂直方向の探索範囲が+r1〜-r2である。すなわち、サーチエリア22は、 $(t2+P+t1) \times (r2+Q+r1)$ の画素を含む。

【0110】図3は、図1に示すプロセッサアレイに含まれる要素プロセッサの構成を概略的に示す図である。図3において、要素プロセッサPEは、テンプレートブロック画素データXを格納するための縦続接続されたM個のデータレジスタ25-1〜25-Mを含む。データレジスタ25-1〜25-Mには、互いに異なるテンプレートブロック画素データが格納される。要素プロセッサPEは、また、サーチウィンドウ画素データを格納するためのN段の縦続接続されたデータレジスタ26-1〜26-Nを含む。NはMの整数倍（n倍）である。ま

た図2に示すテンプレートブロック20の行の数Qは、データレジスタ25-1~25-Mの段数Mの整数倍(m倍)である。

【0111】要素プロセッサPEにおいては、M個のデータレジスタ25-1~25-Mに格納されたテンプレートブロック画素データを用いて所定の演算(たとえば差分絶対値演算)が実行される。この演算の場合、サーチウィンドウ画素データ格納用のデータレジスタ26-1~2-6Nがテンプレートブロック画素データ格納用データレジスタ25-1~25-Mと1対1に対応し

(N=M)、各対応のレジスタの格納データを利用して所定の演算が実行されてもよい。別の組み合わせが用いられてもよい。

【0112】要素プロセッサPEは、M個のテンプレートブロック画素データ(以下、単にテンプレートデータと称す)に関する演算を実行する。要素プロセッサPEにおける演算手段(図3には示さず)は、このM個のデータレジスタ25-1~25-Mに対して多重化態様で利用される。したがって、この場合には、演算手段は要素プロセッサPE1つについて1つのみ設けられる。要素プロセッサPE内にテンプレートデータ格納用のデータレジスタを複数個設けることにより要素プロセッサの数を低減する。また、複数のテンプレートデータ格納用レジスタの出力を多重化態様で選択して演算手段へ与えて演算を実行することにより、サーチウィンドウブロック画素データ(以下、サーチウィンドウデータと称す)の転送周期内において複数回演算を行なうことにより、1つの要素プロセッサPEから評価関数値の複数の成分が多重化態様で出力されるため、プロセッサレイ10の要素プロセッサの出力を加算する総和部の構成を小さくすることができる(総和部に対する入力信号線の数を少なくすることができるためである)。サーチウィンドウデータYおよびテンプレートデータXは、図3に矢印で示すように一方方向にのみ伝達される。

【0113】図4は、図1に示すプロセッサレイ10の構成を示す図である。図4において、プロセッサレイ10はP列に配置された線形プロセッサレイLA1~LAPを含む。線形プロセッサレイLA1~LAPは同一構成を備え、各々縦続形態で配置されるm個の要素プロセッサPE1~PEmと、R(=r1+r2)個のサーチウィンドウデータを格納するとともに遅延手段としても機能するデータバッファDLを含む。

【0114】要素プロセッサPE1~PEmは、それらが属する線形プロセッサレイLA(LA1~LAPを総称的に示す)内においては一方方向(図4における垂直方向)に沿ってサーチウィンドウデータおよびテンプレートデータを伝達する。隣接する線形プロセッサレイへのデータ転送時においては、最上流の要素プロセッサPE1はサーチウィンドウデータを上流の線形プロセッサレイ(図4において左側)に含まれるデータバッ

ファDLへ与え、テンプレートデータは上流の線形プロセッサレイの最下流の要素プロセッサPEmへ伝達する。すなわち、サーチウィンドウデータYは要素プロセッサPEおよびデータバッファDLを介してプロセッサレイ内を順次一方方向に沿って伝達され、テンプレートデータは要素プロセッサPEのみを介して一方方向に沿って伝達される。図4に示す構成においては、要素プロセッサPEは行および列のマトリクス状に配列されているが、線形プロセッサレイは前段の線形プロセッサレイの最上流の要素プロセッサが出力するサーチウィンドウデータおよびテンプレートデータを受けている。したがって線形プロセッサレイLA1~LAPが縦続形態で接続されており、プロセッサレイは、シストリックレイを構成し、実質的には1次元プロセッサレイと等価である。

【0115】データバッファDLは、前述のごとく遅延機能またはバッファ機能を備えており、与えられたサーチウィンドウデータをファーストイン・ファーストアウト(FIFO)態様で出力する機能を備える。データバッファDLとしては、R個のシフト機能付データラッチ(R段のシフトレジスタ)が用いられてもよく、またR個のデータを格納するレジスタファイルが用いられてもよい。

【0116】今、図5(A)に示すように、1フレームの画像36を8×8の64個のマクロブロックに分割し、各マクロブロックごとに動きベクトルを検出する場合を考える。1フレームの画像36において斜線で示すマクロブロックをテンプレートブロックTB1とする。このテンプレートブロックTB1に対し3つの予測モードそれぞれに従って動きベクトルを検出する。

【0117】図5(B)に示すように、今テンプレートブロックTB1が16行16列に配置されたテンプレートデータa(0,0)~a(15,15)を含むとする。テンプレートブロックTB1では、各行ごとに偶数フィールドに属する画素と奇数フィールドに属する画素が交互に配置される。図5(B)に示すテンプレートブロック画素a(0,0)~a(15,15)をすべて用いて評価関数値を算出することにより動きベクトルを検出する方式は、フレーム予測方式に対応し、ブロック動きベクトルVbが決定される。

【0118】図6(A)に示すように、テンプレートブロックTB1における第0行、第2行、…第14行の偶数行に配置された偶数フィールドに含まれる画素a(2k,0)~a(2k,15)を用いて評価関数値を算出する予測モードは、偶数フィールドブロック動きベクトルVeを与える。ただし、k=0~7である。

【0119】また、図6(B)に示すように、テンプレートブロックTB1における第1列、…第15列に配置された画素a(2k+1,0)~a(2k+1,15)を用いて評価関数値を算出する予測モードは奇数フィー

ルド予測モードであり、奇数フィールドブロック動きベクトル V_o を与える。

【0120】予測画像を検出するための参照画像探索のために、プロセッサアレイ 10 においては、図 7 に示すように前フレーム画像 35 における斜線で示す 3 つのマクロブロック MB 1、MB 2 および MB 3 が格納される。図 5 (A) に示すテンプレートブロック TB 1 に含まれる画素のデータが要素プロセッサ PE の各データレジスタ 25-1 ~ 25-M に格納される。1 個の要素プロセッサ PE には、 Q/m 個の垂直方向に配置されたテンプレートブロック画素データが格納される。一方、サーチウィンドウブロック画素データについては、1 つの要素プロセッサ PE に、 $Q \cdot n/m$ 個の垂直方向に隣接する画素データが格納される。したがって、図 8 に示すように、プロセッサアレイの要素プロセッサには、垂直方向 Q 個、水平方向 P 個の合計 $P \cdot Q$ 個のサーチウィンドウ画素データが格納される。 $P \cdot Q$ 個の画素データを以下の説明においてはサーチウィンドウブロック画素データと称す。残りの $R (= r_1 + r_2) \cdot P$ 個のサーチウィンドウ画素データはデータバッファ DL に格納される。このデータバッファ DL に格納される画素データが構成するブロックを以下の説明においてはサイドウィンドウブロック 44 と称す。

【0121】この図 8 に示すサーチウィンドウブロック 42 およびサイドウィンドウブロック 44 を併わせてサーチウィンドウ 40 と以下の説明では称する。

【0122】一般に、図 9 に示すように、1 個の要素プロセッサ PE には、 M 個のテンプレートブロック画素データと N 個のサーチウィンドウ画素データとが格納される。1 つの線形プロセッサアレイの要素プロセッサ PE 1 ~ PE m により Q 個の垂直方向に隣接するサーチウィンドウ画素データおよびテンプレート画素データが格納される。次に具体的な動作について説明する。

【0123】以下の説明を簡単にするために、以下の条件を仮定する。

テンプレートブロックサイズ: $P=Q=16$

動きベクトルの探索範囲: $r_1=r_2=16$ 、 $t_2=0$ 、 $t_1=15$ 、 $m=16$ 、 $M=N=1$

すなわち、上述の仮定では、図 10 に示すように、動きベクトル探索範囲 22 は、フレーム画像について $(16+16+16) \times (16+15) = 1488$ 個の画素を含む。テンプレートブロック 20 のサイズは $16 \times 16 = 256$ 画素である。また $M=N=1$ の条件から、要素プロセッサ PE は、1 つのサーチウィンドウブロック画素データと 1 つのテンプレートブロック画素データを格納する。

【0124】図 11 は、上述の仮定の下での奇数フィールドまたは偶数フィールドの画素についてのサーチエリアの構成を示す。図 11 に示すように、フレーム構成のテンプレートブロックは、偶数フィールドの画素と奇数

フィールドの画素を含む。したがって、偶数フィールドまたは奇数フィールドの画素で構成されるサブテンプレートブロック 20a は、 16 画素 \times 8 画素の構成を備える。同様にサーチエリアも、偶数フィールドの画素と奇数フィールドの画素とを含むため、偶数フィールドまたは奇数フィールドの画素に対しては、サブサーチエリア 22a は、 $(8+8+8) \times (16+15) = 744$ 画素となる。すなわち、フレーム単位での予測モードとフィールド単位での予測モードでは、変位ベクトルが異なる (フレーム単位のマクロブロックの行数が、フィールド単位のマクロブロックの行数の 2 倍となるためである)。

【0125】図 12 に、動きベクトル検出動作における最初の動作サイクルにおけるプロセッサアレイ内のデータ格納状況を示す。図 12 において、 16 行 \times 16 列の画素データからなるテンプレートブロック 43 の画素データがプロセッサアレイ内の各対応の要素プロセッサ PE に格納される。これに対応して、 16 行 \times 16 列のサーチウィンドウブロック 42 の画素データがプロセッサアレイ内の各要素プロセッサ PE に格納される。この状態は、テンプレートブロック 22 に対しては、フレーム変位ベクトル $(0, -16)$ に対応する。ここでフレーム変位ベクトルは、フレーム予測モードに従う予測動作を行なう際に用いられる変位ベクトルを示す。奇数フィールドの画素で構成される奇数サブテンプレートブロック 20a に対しては、このサーチウィンドウブロック 42 内の奇数フィールドの画素に対する変位ベクトルが用いられるため、奇数フィールド変位ベクトル $(0, -8)$ に対応し、同様、偶数フィールドに含まれる画素のみを含む偶数サブテンプレートブロック 20a に対しても同様、偶数フィールドに対する変位ベクトル、すなわち偶数フィールド変位ベクトル $(0, -8)$ に対応する。

【0126】この状態において、各要素プロセッサ PE が格納したテンプレートブロック画素データと対応のサーチウィンドウブロック画素データとの評価関数の成分である差分絶対値を求める。各要素プロセッサ PE において求められた差分絶対値は図 1 に示す総和部 12 へ伝達される。総和部 12 は、奇数サブテンプレートブロックに対応する要素プロセッサから伝達された差分絶対値の総和 (奇数サブブロック評価関数値) と、偶数サブテンプレートブロックに対応して配置された要素プロセッサから伝達された差分絶対値の総和 (偶数サブブロック評価関数値) とを別々にかつ並列に計算する。この偶数サブブロック評価関数値および奇数サブブロック評価関数値を計算した後両者を加算する。この加算演算は、プロセッサアレイのすべての要素プロセッサから伝達された差分絶対値の総和を求めたことに対応し、これによりテンプレートブロックに対応するフレーム予測モードに従う評価関数値 (ブロック評価関数値) が求められる。

上述の動作により、3つの予測モードに従うそれぞれの変位ベクトルに対する評価関数値が求められる。各予測モードは単に用いられる画素が異なっているだけであり、したがって要素プロセッサPEの出力を分類することにより、複数の予測モードに対する評価関数値を並列に算出することができる。

【0127】次いで、テンプレートブロック画素データはプロセッサアレイ内の各要素プロセッサPE内に保持した状態で、サーチウィンドウブロック画素データのみを1画素分転送する。

【0128】この状態においては、図13(A)に示すように、サーチウィンドウブロック42における最上行のデータが隣接列のデータバッファDLへ転送され、応じてこのサーチウィンドウブロック42の最初のデータがシフトアウトされる。このシフトアウトと並行して、新たにサーチウィンドウブロック画素データが入力される。シフトアウトされるサーチウィンドウブロック画素データおよび新たにシフトインされるサーチウィンドウ画素データを図13(A)において二重斜線領域で示す。

【0129】この状態においては、図13(B)に示すように、プロセッサアレイ10内の要素プロセッサPE内には、サーチウィンドウ40における1行下方向にずれたサーチウィンドウブロック42aの画素データが格納される。すなわち、図13(B)に示すように、線形プロセッサアレイLA1~LA16各々において1画素分サーチウィンドウ画素データが図の上方向にシフトされる。線形プロセッサアレイLA1~LA16において、新たにシフトインされるサーチウィンドウ画素データはデータバッファDLに格納される。プロセッサ群(PE群)に新たにシフトインされるデータは対応のデータレジスタから与えられる。すなわち、要素プロセッサ群(PE群)においては、この1画素のシフト動作により、サーチウィンドウの1画素行下方向にずれたサーチウィンドウブロックが格納される。

【0130】この状態においては、図13(C)に示すように、テンプレートブロック43とサーチウィンドウブロック42aとのブロック変位ベクトルは(0, -15)となる。

【0131】このシフト動作においては、サブウィンドウブロック42aでは、偶数フィールドの画素が1行シフトアウトされかつシフトインされている。すなわち偶数フィールドについてその変位ベクトルが(0, -1)移動している。奇数フィールドについては、サーチウィンドウブロック42a内において含まれており、この奇数フィールドに対する変位ベクトルは変化しない。したがって、図14(A)に示すように、偶数サブテンプレートブロック43a(斜線領域にプロセッサが含まれる)は、奇数フィールドOFに対する変位ベクトル(0, -8)となる。

【0132】一方、図14(B)に示すように、奇数サブテンプレートブロック43b(斜線領域)は、偶数フィールドEFに対する変位ベクトル(0, -7)となる。この状態において再び上述と同様の差分絶対値の総和演算が行なわれ、テンプレートブロックの評価関数値、偶数サブテンプレートブロックの評価関数値、および奇数サブテンプレートブロックの評価関数値が出力される。偶数サブテンプレートブロック43aの評価関数値としては、したがって偶数フィールドに対する評価関数値と奇数フィールドに対する評価関数値とが交互に出力される。同様に、奇数サブテンプレートブロック43bに対しても奇数フィールドに対する評価関数値と偶数フィールドに対する評価関数値が交互に出力される。偶数フィールド予測モードにおいては、この偶数サブテンプレートブロックの画素を用い、奇数フィールドおよび偶数フィールド両者から動きベクトルを求め、同様奇数サブテンプレートブロックに対しても偶数フィールドおよび奇数フィールド両フィールドから動きベクトルを検出する。

【0133】上述の動作を繰返し、テンプレートブロック43に対する変位ベクトルが(0, 0)となったとき、偶数サブテンプレートブロック43aに対しては偶数フィールドに対する変位ベクトル(0, 0)であり、奇数サブテンプレートブロック43bに対しては奇数フィールドに対する変位ベクトル(0, 0)となる。この状態では、図15(A)に示すように、サーチウィンドウ40におけるサーチウィンドウブロック42bは、テンプレートブロック43の真裏に対応する。この状態においては、図15(B)に示すように、プロセッサアレイ内に格納されるサーチウィンドウ40のデータはその上部16画素×16画素の領域において1列図の右方向へずれた位置となっている。要素プロセッサ群にはサーチウィンドウブロック42bおよびテンプレートブロック43の画素データが格納され、残りのサイドウィンドウブロック44の画素データはデータバッファ群内に格納される。このように、評価関数値算出動作にとって不要となるデータを1画素シフトアウトし、このシフトアウト動作と並行して新たに1画素分サーチウィンドウ画素データをシフトインすることにより、評価関数値算出動作と並行して新たに次の列のサーチウィンドウ画素データを格納することができる。

【0134】さらに評価関数値算出動作を繰返し実行し、テンプレートブロック43に対する変位ベクトルが(0, +16)の状態になったとき、偶数サブテンプレートブロック43aに対しては偶数フィールドに対する変位ベクトル(0, +8)であり、奇数サブテンプレートブロック43bに対しては奇数フィールドに対する変位ベクトル(0, +8)となる。この状態では、図16(A)に示すように、サーチウィンドウブロック42cは、サーチウィンドウ40の一番下の領域に配置され

る。この状態での3つの予測モードそれぞれの変位ベクトルに対する評価関数値が算出された後、プロセッサアレイからは1画素分不要となったサーチウィンドウデータPY1がシフトアウトされ、新たにサーチウィンドウ画素データPY2がシフトインされる。

【0135】この状態においては、図16(B)に示すように斜線で示す領域50の画素データがプロセッサアレイ内の要素プロセッサに格納されている。次のステップにおいては、サーチエリアにおいて1列図の右方向にずれたサーチウィンドウに対する評価関数値の算出を行なう。この次のステップに必要とされるサーチウィンドウの画素データをプロセッサアレイ内に準備するために、サーチウィンドウ画素データPY2をシフトインした後さらに15回シフト動作を繰返す。これにより図16(B)に示す斜線領域50において画素データPY1と同一列に配置される15個の画素データが順次シフトアウトされ、これと並行して画素データPY2に続く15個の画素データがシフトインされる。データバッファ群内には図16(B)に示す32行×16列の画素データが格納されている。

【0136】領域50には、図17(A)に示すように、要素プロセッサ内に画素データ群A1~G1が格納され、残りの画素データ群A2~G2はデータバッファ内に格納される。線形プロセッサアレイは画素データA1およびA2、B1およびB2というように同一のアルファベットで示される画素データ群を格納している。データバッファはファーストインファーストアウト態様でデータの入出力を行なう。したがって図17(A)の斜線領域で示す16画素がシフトインされたとき、画素データA1がすべてシフトアウトされる。この状態では、図17(B)に示すように、データレジスタに格納された画素データA2~G2は2分割されてその上半分のブロックに属する画素データA2a~G2aが要素プロセッサ群(PE群)に格納され、残りの画素データA2b~G2bと画素データB1~G1がデータレジスタ群(DL群)に格納される。線形プロセッサアレイLA16においては、シフトインされた画素データ(斜線で示す)が格納される。

【0137】上述のように、プロセッサアレイ内において実質的に線形アレイを構成するように要素プロセッサおよびデータレジスタを配置すれば、単にサーチウィンドウ画素データを連続してシフトインすることにより、図18に示すように、1列図の右方向にずれたサーチウィンドウ40aの画素データをプロセッサアレイ内に格納することができるとともに、要素プロセッサ群にサーチウィンドウブロック42dの画素データを格納することができる。この状態では、テンプレートブロック43に対するブロック変位ベクトル(1, -16)に対応する(奇数サブテンプレートブロックについては、奇数フィールドに対する変位ベクトル(1, -8)に対応し、

偶数サブテンプレートブロックに対しては偶数フィールドに対する変位ベクトル(1, -8)に対応する)サーチウィンドウブロック42d~が要素プロセッサに格納されている。

【0138】この状態において、再び上述の動作、すなわち差分絶対値の算出および総和の算出を実行し、各予測モードに対する評価関数値を導出する。

【0139】上述の動作を(16+16+16)×15+(16+16)=752回実行すると、図19に示すように、テンプレートブロック43に対する変位ベクトル(15, 16)に対応するサーチウィンドウブロック42eを用いた評価関数値の算出が行なわれる。このサーチウィンドウブロック42eは、偶数サブテンプレートブロックに対しては、偶数フィールドに対する変位ベクトル(15, +8)に対応し、奇数サブテンプレートブロックに対しては奇数フィールドに対する変位ベクトル(15, +8)に対応する。すなわちテンプレートブロック43に対し、サーチエリア45における右下隅のサーチウィンドウブロック42eに対する評価関数値の算出が行なわれ、このテンプレートブロック43に対するすべての評価関数値の算出が完了する。

【0140】このサーチウィンドウブロック42eに対する評価関数値の算出の実行後、算出されたすべての評価関数値に対し比較部(図1参照)において3つの予測モードそれぞれに対する最小の評価関数値が求められ、それらに対応する変位ベクトルがこのテンプレートブロック43に対する動きベクトル、奇数サブテンプレートブロックに対する動きベクトル、および偶数サブテンプレートブロックに対する動きベクトルとして決定される。

【0141】[各回路の具体的構成]図20は、要素プロセッサの具体的構成を示す図である。図20において、要素プロセッサPEは、テンプレートブロック画素データ格納のためのデータレジスタ25と、サーチウィンドウ画素データを格納するためのデータレジスタ26と、データレジスタ25およびデータレジスタ26に格納された画素データaおよびbの差分絶対値を求める差分絶対値回路27を含む。データレジスタ25は、クロック信号φ2にตอบสนองしてその格納データを一方方向に沿って伝達し、データレジスタ26は、クロック信号φ1に従って隣接要素プロセッサからまたはデータバッファからの画素データを転送する。データレジスタ25および26の構成としては、クロック信号にตอบสนองしてデータを転送しかつラッチするシフトレジスタを用いることができる。またこれに代えてデータレジスタ25および26としては、書込経路と読出経路が異なるメモリを用いることができる。差分絶対値回路27の構成としては、画素データaおよびbの表現形式(2の補数表示、絶対値表示等)に従って適当な構成が用いられる。画素データaおよびbの差を求め、その差が負のとき差分値の符

号が反転される構成であれば任意の形式の回路構成を利用することができる。

【0142】図21は、図20に示す要素プロセッサの動作を示す波形図である。図21に示すように、テンプレートブロックの動きベクトル検出サイクルにおいては、クロック信号 $\phi 2$ は発生されず非活性状態（図21においては“L”レベル）に固定される。クロック信号 $\phi 1$ はサーチウィンドウ画素データPYの転送周期を決定する。このクロック信号 $\phi 1$ に従ってサーチウィンドウ画素データPYがデータレジスタ26に格納されかつ転送される。データレジスタ25におけるテンプレートブロック画素データPXは何ら転送されず、データレジスタ25は、この要素プロセッサPEに対応するテンプレートブロック画素データaを格納する。クロック信号 $\phi 1$ の1サイクルごとにデータレジスタ26に格納される画素データbが順次b1、b2、…と変化し、この各サイクルごとに差分絶対値回路27から差分絶対値 $|a - b1|$ 、 $|a - b2|$ 、…が出力される。この構成により、サーチウィンドウ転送周期内において要素プロセッサそれぞれにおいて評価関数値の成分が算出される。

【0143】なお、図21に示す構成においては、テンプレートブロック画素データおよびサーチウィンドウ画素データ格納のためにそれぞれ1つのデータレジスタが設けられている。複数のデータレジスタが設けられており、1つの要素プロセッサPEが、複数のテンプレートブロック画素データに対応して配置される構成が利用されてもよい。

【0144】図22は、図1に示す総和部12の構成を示す図である。図22において、総和部12は、プロセッサアレイに含まれる要素プロセッサPEのすべての出力を受けてその総和を求める総和回路12aと、プロセッサアレイに含まれる要素プロセッサPEのうち、奇数フィールドの画素に対応して配置された要素プロセッサPEo（奇数サブテンプレートブロックを構成する画素に対応する要素プロセッサ）の出力を受けてその総和を求める総和回路12bと、プロセッサアレイに含まれる要素プロセッサPEのうち、偶数フィールドの画素に対応して配置される要素プロセッサPEe（偶数サブテンプレートブロックを構成する画素に対応して配置される要素プロセッサ）の出力を受けて総和を求める総和回路12cを含む。総和回路12a、12bおよび12cは並列に動作し、それぞれ評価関数値 $\Sigma |a - b|$ 、 Σ 、 $|a - b|$ 、および Σ 、 $|a - b|$ を出力する。総和回路12a～12cを各予測モードに対応して設けて並列に動作させることにより、各予測モードに対応する評価関数値を並列に出力することができる。要素プロセッサPEの偶数フィールド要素プロセッサPEeおよび奇数フィールド要素プロセッサPEoへの分類は、単に配線接続により実現される。

【0145】図23は、総和部12の他の構成を示す図

である。図23に示す総和部12では、すべての要素プロセッサPEの出力の総和を求める総和回路12aに代えて、奇数サブテンプレートブロックの評価関数値を導出する総和回路12bの出力と偶数サブテンプレートブロックの評価関数値を導出する総和回路12cの出力を加算する加算回路12dが設けられる。加算回路12dからテンプレートブロックの評価関数値 $\Sigma |a - b|$ が出力される。奇数サブテンプレートブロックと偶数サブテンプレートブロックを組み合わせればテンプレートブロックが得られる。したがって奇数サブテンプレートブロック評価関数値 Σ 、 $|a - b|$ および偶数サブテンプレートブロック評価関数値 Σ 、 $|a - b|$ を加算することによりテンプレートブロックに対する評価関数値 $\Sigma |a - b|$ が得られる。加算回路12dは、2入力加算回路である。したがって、プロセッサアレイ内の要素プロセッサの出力のすべてを加算して総和を求める総和回路12a（図22参照）よりも大幅にその装置規模が小さくなる。これにより、総和部12の装置規模を増大させることなく複数の予測モード（テンプレートブロック、奇数サブテンプレートブロック、および偶数サブテンプレートブロック）の評価関数値を高速かつ同時に算出することができる。

【0146】[変更例] 図24は、図1に示す総和部の変更例を示す図である。図24において、総和部12は、奇数サブテンプレートブロックの画素に対応する要素プロセッサPEoの出力を受け、クロック信号 $\phi 3$ に応答して加算および総和を行なう総和回路12baと、奇数サブテンプレートブロックの画素に対応して配置される要素プロセッサPEeの出力を受け、クロック信号 $\phi 3$ に応答して総和演算を行なう総和回路12caと、クロック信号 $\phi 3$ に従って総和回路12aの出力と奇数サブテンプレートブロックの画素に対応して配置される要素プロセッサPEoの出力とを受けて総和を行なう総和回路12eと、クロック信号 $\phi 3$ に従って偶数サブテンプレートブロックの要素プロセッサPEeの出力と総和回路12caの出力とを受けて総和演算を行なう総和回路12fと、総和回路12eおよび12fの出力の加算を行なう加算回路12dを含む。総和回路12baから評価関数値 $\Sigma_{\infty} |a - b|$ が出力される。この評価関数値は偶数サブテンプレートブロックとサーチウィンドウブロックに含まれる奇数フィールドの画素の差分絶対値の総和である。総和回路12caは偶数サブテンプレートブロックとサーチウィンドウブロックに含まれる偶数フィールドの画素との差分絶対値和 $\Sigma_{\infty} |a - b|$ を評価関数値として出力する。加算回路12dからはテンプレートブロックの評価関数値 $\Sigma |a - b|$ を出力する。次にこの図24に示す総和部の動作をその動作波形図である図25を参照して説明する。

【0147】クロック信号 $\phi 3$ はサーチウィンドウ画素データ転送サイクルを規定するクロック信号 $\phi 1$ の2倍

の周期を備える。総和回路 12 b a および 12 c a は、このクロック信号 $\phi 3$ が“H”のときに活性化されて総和演算を行ない、クロック信号 $\phi 3$ が非活性状態の

“L”のときには、その総和演算結果を保持しかつ出力する。総和回路 12 e および 12 f は、クロック信号 $\phi 3$ の反転信号（位相が 180° ずれている）すなわちクロック信号 $\phi 3$ が“H”のときに、与えられたデータに対する総和演算を行ない、クロック信号 $\phi 3$ が“L”のときには、その総和結果を保持しかつ出力し続ける。次に動作について図 25 を参照して説明する。

【0148】今プロセッサレイのすべての要素プロセッサ PE の出力を PE1 とする。このときクロック信号 $\phi 3$ が“H”となり、総和回路 12 b a および 12 c a がこの与えられた差分絶対値 P1 (PEo および PEe) を取込んで総和演算を行ない、その総和演算結果 $\Sigma o(1)$ および $\Sigma e(1)$ をそれぞれ出力する。このとき総和回路 12 e および 12 f は総和演算を行わず、先のサイクルにおける総和演算結果を保持し出力している。

【0149】クロック信号 $\phi 3$ が“L”に立下がると、このときにはプロセッサレイの要素プロセッサから差分絶対値 P2 が与えられる。この状態では総和回路 12 b a および 12 c a は演算を行わず、先の総和演算結果を保持している。一方、総和回路 12 e および 12 f が演算を実行し、総和回路 12 b a および 12 c a の出力とこのとき与えられた要素プロセッサの出力 P2 との総和演算を行なう。したがって加算回路 12 d からは評価関数値 $\Sigma o(1) + \Sigma e(1) + P2$ が出力される。

【0150】次いでクロック信号 $\phi 1$ が“H”に立上がると、要素プロセッサから差分絶対値 P3 が出力される。総和回路 12 b a および 12 c a が総和演算を行ない、それぞれ総和値 $\Sigma o(2) (= \Sigma o(1) + P3o)$ および $\Sigma e(2) (= \Sigma e(1) + P3e)$ を出力する。ここで P3o および P3e は、それぞれ奇数サブテンプレートブロックの画素に対応して設けられた要素プロセッサの出力を示し、P3e は、偶数サブテンプレートブロックの画素に対応して配置される要素プロセッサの出力を示す。次いで要素プロセッサから差分絶対値 P4 が与えられると、総和回路 12 e および 12 f が総和演算を行ない、加算回路 12 d からは $\Sigma o(2) + \Sigma e(2) + P4$ が出力される。以降この動作が繰返される。

【0151】すなわち、総和回路 12 b a および 12 c a は 1 画素ずつ間引いて総和演算を行っており、総和回路 12 e および 12 f は、この間引かれた画素データを補って総和演算を行なっている。したがって、図 26 に示すように、サブテンプレートブロック（テンプレートブロック 43 における斜線領域で構成されるブロック）は、サーチウィンドウブロック 42 における同じフィールドに含まれる画素データと差分絶対値をとること

になる。すなわち、奇数サブテンプレートブロックは、サーチウィンドウブロックにおける奇数フィールドに属する画素のみを用いて差分絶対値和が求められ、偶数サブテンプレートブロックに対してはサーチウィンドウブロック内の偶数フィールドの画素を用いてのみ差分絶対値和演算が行なわれる。このように（a）フレーム単位の場合にテンプレートブロックの全画素データおよびサーチエリア内の全画素データを用いることによる動きベクトル検出、（b）奇数サブテンプレートブロックとサーチエリア内の奇数フィールドに属する画素のみ等を用いて動きベクトルを決定するモード、および（c）偶数サブテンプレートブロックとサーチエリア内の偶数フィールドに属する画素のみを用いて動きベクトルを検出するモードを実現することができる。

【0152】〔比較部〕図 27 は図 1 に示す比較部の構成を概略的に示す図である。図 27 において、比較部 3 は、テンプレートブロックについての動きベクトル、すなわちブロック動きベクトル Vb を求めるための比較回路 3 a と、奇数サブテンプレートブロックについての動きベクトルすなわち奇数フィールドブロック動きベクトル Vo を求めるための比較回路 3 b と、偶数サブテンプレートブロックについての動きベクトル、すなわち偶数フィールドブロック動きベクトル Ve を求めるための比較回路 3 c を含む。比較回路 3 a ~ 3 c は同一構成を備え、図 27 においてはテンプレートブロックについての動きベクトルすなわちブロック動きベクトル Vb を求めるための比較回路の構成のみを具体的に示す。

【0153】比較回路 3 a は、総和部から与えられるテンプレートブロックについての評価関数値 $\Sigma |a - b|$ とレジスタラッチ 130 に格納された評価関数値とを比較する比較器 132 と、比較器 132 の出力に従ってカウンタ 138 から与えられるカウント値を格納するレジスタラッチ 136 を含む。比較器 132 は、レジスタラッチ 130 に格納されている評価関数値よりも新たに総和部から与えられた評価関数値 $\Sigma |a - b|$ が小さい場合にレジスタラッチ 130 および 136 へデータ更新指示信号を発生する。カウンタ 138 はクロック信号 $\phi 1$ をカウントしており、変位ベクトルを表わすカウント値を発生する。したがって新たに総和部から与えられた評価関数値 $\Sigma |a - b|$ が先にレジスタラッチ 130 に格納されている評価関数値よりも小さい場合にはレジスタラッチ 130 の記憶内容が新たに与えられた評価関数値で更新され、またレジスタラッチ 136 はそのときにカウンタ 138 から与えられているカウント値を格納する。カウンタ 138 のカウント値は比較回路 3 b および 3 c へ共通に与えられる。この構成により、サーチエリア内において最小の評価関数値を与える変位ベクトルを検出するとともに最小評価関数値を保持することができる。このレジスタラッチ 136 に格納されている変位ベクトル値はデコード 137 によりデコードされ、具体的

な動きベクトル V_b を表わす値に変換されてもよい。レジスタラッチ 136 の保持データが直接動きベクトルとして出力されてもよい。またレジスタラッチ 130 に格納されているデータをこの動きベクトルに対する評価関数値 E_b として出力する構成が利用されてもよい。

【0154】比較回路 3b および 3c は、それぞれ総和部から与えられる評価関数値の値が異なっているだけであり、その動作は比較回路 3a のそれと同じである。

【0155】〔実施例 2〕図 28 は、この発明の第 2 の実施例である動きベクトル検出装置の全体の構成を概略的に示す図である。この図 28 に示す構成においては、総和部 12 からはテンプレートブロックについての評価関数値 $\Sigma |a-b|$ 、このテンプレートブロックの上半分のブロックについての評価関数値 $\Sigma_u |a-b|$ 、およびテンプレートブロックの下半分のブロックについての評価関数値 $\Sigma_l |a-b|$ が出力される。図 1 に示す構成とは、総和部 12 の構成は同じであるが、プロセッサアレイ 10 に含まれる要素プロセッサと総和部 12 に含まれる総和回路との接続が異なるだけである。

【0156】この図 28 に示す動きベクトル検出装置の構成では、画面は、図 29 に示すように 1 つのフィールドで構成される。テンプレートブロック 43 は垂直方向に 2 分割され、上半分のブロックの画素で構成される上サブテンプレートブロック 43u と、下半分のブロックに含まれる画素で構成される下サブテンプレートブロック 43l に分割される。

【0157】同様に、サーチウィンドウブロック 42 も、上半分ブロック 42u および下半分ブロック 42l に分割される。上サブテンプレートブロック 43u は、サーチウィンドウブロック 42u における上半分ブロック 42u との変位ベクトル f_u に従って評価関数値が算出される。下サブテンプレートブロック 43l は、サーチウィンドウブロック 42 の下半分ブロック 42l に対しての変位ベクトル f_l に対する評価関数値が算出される。またテンプレートブロック 43 とサーチウィンドウブロック 42 についての変位ベクトル f に対する評価関数値が算出される。

【0158】プロセッサアレイにおいては要素プロセッサがそれぞれテンプレートブロック 43 内の対応の画素データとサーチウィンドウブロック 42 内の対応の画素データとの差分絶対値を求める。したがって、1 つの演算サイクルにおいては、上サブテンプレートブロック 43u、下サブテンプレートブロック 43l およびテンプレートブロック 43 の変位ベクトルは同じとなる。

【0159】この要素プロセッサの出力を上サブテンプレートブロック 43u および下サブテンプレートブロック 43l に分類することにより、1 つのサイクルで、テンプレートブロック 43 に対する評価関数値、上サブテンプレートブロック 43u に対する評価関数値、および下サブテンプレートブロック 43l に対する評価関数値

を同時に算出することができる。このプロセッサアレイ 10 の構成、画素データの転送順序は、図 1 に示す第 1 の実施例と同じである。異なるのは、以下に説明する総和部における要素プロセッサの分類態様である。

【0160】図 30 は、この第 2 の実施例における総和部 12 の構成を示す図である。図 30 において、総和部 12 は、プロセッサアレイ 10 に含まれる要素プロセッサ PE のうち、上サブテンプレートブロック 43u に対応して配置される要素プロセッサの出力 PEu を加算する総和回路 12g と、プロセッサアレイに含まれる要素プロセッサのうち下サブテンプレートブロック 43l に対応して配置される要素プロセッサの出力 PEL の総和を求める総和回路 12h と、総和回路 12g および 12h の出力を加算する加算回路 12d を含む。総和回路 12g から上サブテンプレートブロック 43u に対する評価関数値 $\Sigma_u |a-b|$ が出力され、総和回路 12h から下サブテンプレートブロック 43l に対する評価関数値 $\Sigma_l |a-b|$ が出力される。加算回路 12d からテンプレートブロック 43 についての評価関数値 $\Sigma |a-b|$ が出力される。要素プロセッサ PE の上半分ブロックおよび下半分ブロックへの分類は、配線接続により実現される。

【0161】比較部 3 の構成は第 1 の実施例のそれと同様であり、評価関数値 $\Sigma_u |a-b|$ 、 $\Sigma_l |a-b|$ 、および $\Sigma |a-b|$ に従って上ブロック動きベクトル V_u 、下ブロック動きベクトル V_l 、およびブロック動きベクトル V_b が決定される。

【0162】上述の構成により、フィールドを単位として符号化を行なう符号化システムにおいて、テンプレートブロックに対する動きベクトル検出と、上サブテンプレートブロックに対する動きベクトル検出と下サブテンプレートブロックに対する動きベクトル検出を同時に実行することができ、複数の予測モードに従って最適な動きベクトルを検出することができる。

【0163】〔実施例 3〕図 31 は、この発明の第 3 の実施例である動きベクトル検出装置における要素プロセッサ群とテンプレートブロックの画素との対応関係を示す図である。図 31 においては、16 行×16 列に配置された画素によりテンプレートブロック 43 が構成される場合を一例として示す。テンプレートブロック 43 は、画面上垂直方向に沿って 2 分割され、まず上半分のブロックの画素データで構成される上サブテンプレートブロック 43u と、下半分のブロックの画素を含む下サブテンプレートブロック 43l に分割される。サブテンプレートブロック 43u および 43l に対応して、要素プロセッサ群も同様にグループ分割される。

【0164】次いで、テンプレートブロック 43 が更に偶数行の画素と奇数行の画素に分割される。図 31 においては、偶数行は、第 0 行、第 2 行、…、第 14 行を示し、奇数行の画素は、第 1 行、第 3 行、…、第 15 行の

画素を示す。これに応じて要素プロセッサも偶数行画素に対応する要素プロセッサと奇数行画素に対応する要素プロセッサに分割される。

【0165】したがって、要素プロセッサPEは、上サブテンプレートブロック43uに属しかつ偶数行に配置される画素に対応する要素プロセッサ群PE#0U、上サブテンプレートブロック43uに属しかつ奇数行に配列される画素に対応する要素プロセッサ群PE#1U、下サブテンプレートブロック43lに属しかつ偶数行に配置される画素に対応する要素プロセッサ群PE#0L、および下サブテンプレートブロック43lに属しかつ奇数行に配列される画素に対応する要素プロセッサ群PE#1Lの4つのグループに分割される。

【0166】画面構成がフレーム単位の場合、要素プロセッサ群PE#0UおよびPE#0Lにより、偶数フィールドサブテンプレートブロックに対する評価関数値の算出が行なわれ、要素プロセッサ群PE#1UおよびPE#1Lにより奇数フィールドサブテンプレートブロックに対する評価関数値算出が行なわれる。画面構成がフィールド単位の場合、要素プロセッサ群PE#0UおよびPE#1Uにより、上サブテンプレートブロック43uに対する評価関数値算出が行なわれ、要素プロセッサ群PE#0LおよびPE#1Lにより、下サブテンプレートブロック43lに対する評価関数値算出が実行される。したがって図31に示すように、要素プロセッサ群を4つの群PE#0U、PE#1U、PE#0L、およびPE#1Lに分類すれば、画面構成に応じてこの要素プロセッサの組合せの形態を変更することにより各画面構成に対して定義された予測モードに従って動きベクトル算出を行なうことができる。

【0167】図32はこの発明の第3の実施例である動きベクトル検出装置の全体の構成を示す図である。図32において、演算部1に含まれるプロセッサレイ10においては、要素プロセッサは4つの群PE#0U、PE#1U、PE#0L、およびPE#1Lに分割されている。したがってプロセッサレイ10からは、動作時においては各群に対応して差分絶対値 $|a-b|_{ue}$ 、 $|a-b|_{uo}$ 、 $|a-b|_{le}$ 、および $|a-b|_{lo}$ が出力される。

【0168】総和部12は、モード指定信号Sに従って、このプロセッサレイ10から与えられた4つの差分絶対値群の組合せを変更し、テンプレートブロック単位およびサブテンプレートブロック単位の差分絶対値にグループ化する分類変更部122と、分類変更部122から与えられた差分絶対値を各群ごとに総和演算を行なう総和演算部120を含む。総和演算部120からは、この分類変更部122から与えられた差分絶対値の分類に従ってそれぞれ対応の評価関数値が導出され比較部3へ与えられる。比較部3は、この総和演算部120から与えられた評価関数値に従ってテンプレートブロックの

動きベクトルVbおよびサブテンプレートブロックに対応する動きベクトルVeおよびVoまたはVuおよびVlを出力する。

【0169】分類変更部122は、モード指定信号Sが、フレーム単位での符号化を指定する場合には、この4つの群の差分絶対値からテンプレートブロックに対する差分絶対値群 $|a-b|$ 、奇数サブテンプレートブロックに対する差分絶対値 $|a-b|_o$ 、および偶数フィールドに対する差分絶対値群 $|a-b|_e$ を生成する。モード指定信号Sがフィールド単位での符号化を示すとき、分類変更部Sは、テンプレートブロック単位での差分絶対値群 $|a-b|$ 、上半分のブロックを用いる上サブテンプレートブロックからの差分絶対値群 $|a-b|_u$ 、および下半分の画素群からなる下サブテンプレートブロックからの差分絶対値群 $|a-b|_l$ を生成する。

【0170】図32に示すように、分類変更部122においてモード指定信号Sによりこのプロセッサレイ10から出力される4つの差分絶対値群の組合せを変更することにより、フレーム単位での予測画像検出およびフィールド単位での予測画像検出それぞれに用いられる動きベクトルを容易に作成することができる。1つの動きベクトル検出装置で異なる画面形式の符号化に対応することができ、汎用性の高い動きベクトル検出装置を実現することができる。

【0171】〔変更例〕図33は、図32に示す総和部の変更例を示す図である。図33において、総和部12は、プロセッサレイの要素プロセッサの各群PE#1U、PE#1L、PE#0U、およびPE#0Lに対応して設けられ、各対応の群の出力 $|a-b|_{uo}$ 、 $|a-b|_{lo}$ 、 $|a-b|_{ue}$ 、および $|a-b|_{le}$ の総和を求める総和回路120a、120b、120c、および120dと、4つの総和回路のうちの2つの総和回路、すなわち総和回路120bおよび120cの出力の伝達経路を切換える分類変更部122を含む。分類変更部122は、総和回路120bおよび120cの伝達経路を切換えるセクタ122a、および122bを含む。セクタ122aは、モード指定信号Sがフレーム単位での符号化を示すとき、総和回路120bの出力を選択し、セクタ122bは、モード指定信号Sがフレーム単位での符号化を示すとき総和回路120cの出力を選択する。

【0172】総和部12は、さらに、総和回路120aの出力とセクタ122aの出力とを加算する加算回路120eと、総和回路120dの出力とセクタ122bの出力とを加算する加算回路120fと、加算回路120eおよび120fの出力を加算する加算回路120gを含む。加算回路120eから奇数サブテンプレートブロックの評価関数値 $\Sigma o|a-b|$ または上サブテンプレートブロックに対する評価関数値 $\Sigma u|a-b|$ が出力される。加算回路120gからはテンプレートブロ

ックに対する評価関数値 $\Sigma |a - b|$ が出力される。加算回路 120f からは、奇数サブテンプレートブロックについての評価関数値 $\Sigma e |a - b|$ または下サブテンプレートブロックの評価関数値 $\Sigma l |a - b|$ が出力される。

【0173】総和部 12 において入力部に要素プロセッサの各群に対応して総和回路 120a ~ 120d を設けかつ 2 つの総和回路の出力の伝達経路をモード指定信号により切換える構成は以下の利点を与える。単純に図 32 に示す総和部の構成を実現して、要素プロセッサの出力をモード指定信号に応じて伝達経路を切換える場合、この伝達経路を切換えるためのセレクトを各要素プロセッサに対して設ける必要が生じる。この結果、セレクトの数が多くなり、装置規模が増大する。一方、総和回路 120a ~ 120d の各々は、その担当する要素プロセッサの数は図 23 に示す総和回路 12b および 12c のその半分であり、装置規模を小さくすることができる。したがって、実質的にこの図 33 に示す構成において総和回路の数が図 23 に示す構成に比べて増大しているものの占有面積はそれほど大きくはならない。総和回路 120b および 120c の伝達経路を切換えるためにセレクトを設ければ、必要とされるセレクトの数は 2 つであり、大幅に素子数を低減することができ、装置規模を小さくすることができる。加算回路 120e、120f、および 120g は 2 入力加算回路であり、その規模は総和回路に比べて小さく、この加算回路 120e および 120f が設けられてもそれほど装置占有面積は増大しない。したがって図 33 に示すように、入力部に要素プロセッサの各群に対応して総和回路を設け、4 つの総和回路のうち 2 つの総和回路の出力の伝達経路を切換える構成とすることにより、大幅に装置占有面積を低減することができる。

【0174】なお、図 33 に示す構成に代えて、要素プロセッサ群 PE#1L および PE#0U の出力を受けるようにセレクト 122a および 122b を設け、一方のセレクトの出力と要素プロセッサ群 PE#1U の出力の総和をとる総和回路と、他方のセレクトの出力と残りの要素プロセッサ群 PE#0L の出力との総和をとる総和回路が設けられる構成が利用されてもよい。この構成はほぼ実質的に図 23 に示す構成に対応する。

【0175】〔実施例 4〕上で説明したように、プロセッサアレイにおいてサーチウィンドウデータを $(16 + 16 + 16) \cdot 15 + (16 + 16) = 752$ 回シフトさせると（シフトインおよびシフトアウトを繰返す）、図 34 (A) に示すように、1 つのテンプレートブロック（ブロック N）に対するサーチエリア（探索範囲）についてすべての変位ベクトル（評価関数値）が求められ、このテンプレートブロック TB（ブロック N）に対する動きベクトルを決定することができる。このとき、図 34 (A) に示すように、領域 503a がプロセッサ

アレイに存在しており、それに隣接するサーチエリア 502 のサーチウィンドウ画素データもプロセッサアレイ内のプロセッサおよびデータバッファに格納されている。したがってこの領域 503a に含まれる 16 画素をシフトアウトさせ、同時に領域 502 の続く 16 画素の参照画素（サーチウィンドウデータ）をシフトインさせると、プロセッサアレイ内においては、図 34 (B) に示すように、このテンプレートブロック TB に対する変位ベクトル $(16, -16)$ のサーチウィンドウブロック 504 の画素データが格納される。したがって、 $752 + 16 = 768$ サイクルを 1 処理単位とすれば、水平方向 16 変位 \times 垂直方向 33 変位の範囲で動きベクトルを探索することができるため、この処理単位を複数回繰返すことにより、水平方向探索範囲を拡張することができる。水平方向におけるサーチエリアを広くして動きベクトルを探索することができる。

【0176】一般に、Q 行 P 列のサーチウィンドウ画素にそれぞれ 1 対 1 対応でプロセッサが格納されており、データバッファが R 個の画素データを格納する場合、 $P \cdot (Q + R)$ サイクルでサーチエリアの 1 単位での動きベクトル探索が実行される。このとき、探索される変位ベクトルは、サーチウィンドウの 1 列の画素データのシフトアウト当りの変位ベクトルが $(R + 1)$ であり、したがって $P \cdot (R + 1)$ の変位ベクトルについて評価を行なうことができる。この場合、水平方向の探索範囲は P となる。さらに、図 35 に示すように、サーチウィンドウブロック 506 のサイズを P 列 Q 行とし、サーチウィンドウ 505a のサイズを $(Q + R) \cdot P$ とし、サーチエリアを領域 505a および 505b とした場合、このサーチエリア 505a および 505b における変位ベクトルをすべて評価するためには、サーチウィンドウ画素データを $(P - 1) \cdot (Q + R) + R$ 回、参照画像画素データ（サーチウィンドウ画素データ）をシフトさせる必要がある。この後、さらに R 回参照画像画素データをシフトインすれば、プロセッサアレイには領域 505c に含まれる参照画像画素データが格納される。したがって、領域 505c のサーチウィンドウの画素データをプロセッサアレイに格納するためには合計 $(P - 1) \cdot (Q + R) + R = P \cdot (Q + R)$ サイクル必要とされる。サーチエリアの各列において $(R + 1)$ の変位ベクトルが評価されるため、評価される変位ベクトルの数は $P \cdot (R + 1)$ となる。

【0177】図 36 に水平方向の探索範囲の具体的例を示す。図 36 において、ケース (I) は、水平方向探索範囲は $-8 \sim 7$ である。ケース (II) の場合、水平方向探索範囲は $-16 \sim +15$ である。この場合、1 つの処理単位サイクルにおいて水平方向 $-16 \sim -1$ の範囲における動きベクトル探索が行なわれ、もう 1 つの処理単位サイクルにおいて水平方向 $0 \sim +15$ の範囲について動きベクトル探索が行なわれる。ケース (III) に

においては、水平方向探索範囲は $-32 \sim +31$ とされる。この場合においては、4つの処理単位サイクルが必要とされ、各処理単位サイクルにおいて $-32 \sim -17$ 、 $-16 \sim -1$ 、 $0 \sim +15$ 、および $16 \sim +31$ の水平方向範囲についてそれぞれ動きベクトル探索が行なわれる。

【0178】図37は、様々な水平探索範囲における動きベクトル探索動作シーケンスを示す図である。図37においては、水平探索範囲として、 $-8 \sim +7$ 、 $-16 \sim +15$ 、および $-32 \sim +31$ の一例として示される。図37(A)に示すように、水平探索範囲が $-8 \sim +8$ の場合、処理単位時間(768サイクル)Tごとにテンプレートブロックが更新される。すなわち各処理単位時間Tごとにテンプレートブロックの動きベクトルが決定される。図37(A)においては、テンプレートブロックN、N+1、…について動きベクトルが順次決定される状態が示される。水平探索範囲が $-16 \sim +15$ の場合、図37(B)に示すように、2処理単位時間、2Tが必要とされる。2Tのうち、最初の処理単位時間において水平方向 $-16 \sim -1$ の範囲において動きベクトル探索が行なわれ、残りのTにおいて水平方向 $0 \sim +15$ において動きベクトル探索が行なわれる。2Tごとに1つのテンプレートブロックに対する動きベクトルが決定される。

【0179】図37(C)に示すように、水平探索範囲が $-32 \sim +31$ の場合、1つの処理単位時間Tにおいて16の水平範囲について動きベクトルが検出されるため、1つのテンプレートブロックについて4Tの処理時間が必要とされる。上述のように、垂直探索範囲が $-16 \sim +16$ の場合、処理単位時間を768サイクルとすれば、水平16変位・垂直33変位の範囲での動きベクトルが探索可能であり、この処理単位時間を把握することにより、水平探索範囲を容易に拡張することができる。なお、図37においては、テンプレートブロックの更新サイクル数は示していない。単に1つのテンプレートブロックについての動きベクトル決定に必要とされる処理時間のみを考慮している。

【0180】図38は、この第4の実施例に用いられる動きベクトル検出装置の全体の構成を示す図である。動きベクトル検出装置600は、先の実施例において説明したように、サーチウィンドウ画素データおよびテンプレートブロック画素データを入力する入力部2と、入力部2から与えられたサーチウィンドウ画素データおよびテンプレートブロック画素データに所定の演算処理を施して変位ベクトルに対する評価関数値を生成する演算部1と、演算部1からの評価関数値に従ってこのテンプレートブロックに対する動きベクトルを決定するための比較部3を含む。図38においては、3つの予測モードに従って評価関数値および動きベクトルが各々生成されるが、1つの動きベクトルのみが生成されるように示され

る。この動きベクトル検出装置600は、さらに、参照画面画像画素データを格納する参照画像メモリ602と、現画面画素データを格納する現画像メモリ604と、参照画像メモリ602および現画像メモリ604の画素データ読出動作を制御する読出制御回路606と、比較部3の比較動作すなわち動きベクトル検出動作を制御する比較制御回路608と、この動きベクトルの水平方向の探索範囲を設定して設定された水平方向探索範囲情報を読出制御回路606および608へ与える探索範囲設定部607を含む。

【0181】比較制御回路608は、この探索範囲設定部607からの水平方向探索範囲設定情報に従って比較部3における動きベクトル検出動作サイクルを設定する。読出制御回路606は、またこの探索範囲設定部607からの水平方向探索範囲設定情報に従って参照画像メモリ602からの画素データの読出領域の設定および現画像メモリ604からの現画像画素データ読出タイミングを調整する。図39は、図38に示す比較部3の構成の一例を示す図である。図39において、比較部3は、動きベクトル候補の評価関数値を格納するレジスタ610と、レジスタ610に格納された候補評価関数値と演算部1から与えられる評価関数値とを比較する比較器611と、評価関数値それぞれの変位ベクトルを示す値を発生するカウンタ613と、比較器611の出力信号に従ってカウンタ613のカウント値を動きベクトル候補として格納するレジスタ612を含む。比較器611が、演算部1から与えられた評価関数値がレジスタ610に格納された評価関数値よりも小さいことを示すとき、レジスタ610および612の内容が更新される。すなわち、レジスタ610はそのときに演算部1から与えられた評価関数値を格納し、レジスタ612はカウンタ613から与えられたカウント値を格納する。

【0182】カウンタ613は、比較制御回路608から与えられるクロック信号 ϕ をカウントし、変位ベクトル情報を発生し、処理サイクル終了時に発生されるリセット信号Reに従ってそのカウント値がリセットされる。比較制御回路は、この探索範囲設定部607からの水平方向探索範囲設定情報に従ってリセット信号Reの発生タイミングを変更する。図40は、この比較制御回路608の動作を例示する図である。図40に示すように、比較制御回路608からは、32サイクルの間クロック信号 ϕ がカウンタ613へ与えられ、カウンタ613はカウント動作を行なう。次の16サイクルにおいては、クロック信号 ϕ は発生されず非活性状態とされる。すなわち、サーチウィンドウの最下部にまで相対的に移動したテンプレートブロックを再度上部(垂直方向 -16)の位置へ相対的に移動させるためである。この48サイクルを1つの小単位として752サイクルシフト動作が繰返される。この752サイクルにより、水平方向16変位についての動きベクトルの探索が行なわれる。

次の16サイクルにおいては再びクロック信号 ϕ の発生が禁止される（非活性状態とされる）。この752サイクル+16サイクルが1処理単位サイクルTに対応する。比較制御回路608は、探索範囲設定部607により設定された水平方向探索範囲情報に従って動きベクトル探索範囲を設定する。この設定されたサイクル内においては、1列の動作サイクルすなわち48サイクルを単位として行なわれる動作が繰返される。

【0183】図41は、カウンタ613のカウンタ値のリセットタイミングを示す図である。図41に示すように、水平探索範囲が-8~+7の場合、768サイクルごとにリセット信号Reが発生される（活性状態とされる）。水平探索範囲が-16~+15の場合には、768・2サイクルごとにリセット信号Reが発生され、水平探索範囲が-32~+31の場合には、768・4サイクルごとにリセット信号Reが発生される。このリセット信号Reの発生タイミングを処理時間に合わせて異ならせることにより、動きベクトルの探索範囲を容易に変更することができる。カウンタ613の構成としては、水平方向の位置Hを表わすカウンタと垂直方向の位置Vを示すカウンタが別々に設けられてもよく、また単に2進カウンタにより、そのカウンタ値に従ってH情報およびV情報両者を含むように発生する構成が利用されてもよい。

【0184】なお、比較動作禁止時においては、当然、レジスタ610および612（図39参照）の更新動作も禁止される。これは、この比較動作禁止期間において比較器611の出力を強制的にレジスタ非更新状態に設定する構成が利用されてもよい。このとき、また比較器611（図39参照）の比較動作が禁止されるように構成されてもよい。図42は、図38に示す比較制御回路の構成の一例を示す図である。図42において、比較制御回路608は、参照画像メモリからプロセッサアレイ（演算部1に含まれる）への画素データ印加時に発生されるクロック信号CLKをカウントするカウンタ615および616と、探索範囲設定部607からの水平方向探索範囲設定情報Aとカウンタ615のカウンタアップ信号 ϕ CUPとを比較する比較器617と、カウンタ616からの32カウント指示信号 ϕ 32および48カウント指示信号 ϕ 48に従ってクロック信号 ϕ を発生するクロック発生器618を含む。カウンタ615は、その1処理単位サイクルに含まれるクロックサイクル数をカウントしたときにカウンタアップ信号 ϕ CUPを発生する。水平方向探索範囲設定情報Aは、水平方向の探索範囲が単位探索範囲の何倍であるかを指定する。比較器617は、このカウンタ615からのカウンタアップ信号 ϕ CUPと水平方向探索範囲設定情報Aとを比較し、これらが一致したときにリセット信号Reを発生する（活性状態とする）。

【0185】カウンタ616は、クロック信号CLKを

32カウントしたときにカウンタアップ信号 ϕ 32を発生し、また48カウントしたときにカウンタアップ信号 ϕ 48を発生する。カウンタ616は、その最大カウンタ値が48に設定され、サーチウィンドウの1列の画素データが処理されたときにカウンタアップ信号 ϕ 48を発生する。クロック発生器618は、カウンタ616からカウンタアップ信号 ϕ 32が与えられると次にカウンタアップ信号 ϕ 48が与えられるまでクロック信号 ϕ を非活性状態に設定する。カウンタアップ信号 ϕ 32が発生される（活性状態とされる）までは、クロック発生器618はクロック信号CLKに従って（同期して）クロック信号 ϕ を発生する。このクロック発生器618からのクロック信号 ϕ により比較部3に含まれるカウンタ613（図39参照）のカウンタ動作が制御される。

【0186】図42に示す比較制御回路608の構成を用いることにより、比較部3における動きベクトル探索範囲の水平方向の範囲を容易に制御することができる。図43は、図38に示す読出制御回路606の構成の一例を示す図である。図43において、読出制御回路606は、参照画像メモリ602の読出アドレスを発生するアドレスカウンタ620と、水平方向探索範囲設定情報Aに従ってこのアドレスカウンタ620の初期カウンタ値およびカウンタ範囲を設定するアドレス制御回路621と、現画像メモリ604の読出アドレスを発生するアドレスカウンタ622と、水平方向探索範囲設定情報Aに従ってアドレスカウンタ622の動作タイミングおよび初期アドレスを設定するアドレス制御回路623を含む。アドレス制御回路621は、水平方向探索範囲情報Aに従ってアドレスカウンタ620から発生されるアドレスのうち水平方向の画素データに関するアドレスの範囲を設定する。アドレス制御回路623は、テンプレートブロックの位置を示すポインタを発生してアドレスカウンタ622へ与える。テンプレートブロックの位置を示すポインタ情報に従ってアドレスカウンタ622が読出アドレスを生成し、テンプレートブロック画素データが現画像メモリ604から読出される。アドレス制御回路623は、この水平方向探索範囲設定情報Aに従って、このアドレスカウンタ622へのテンプレートブロックの位置を示すポインタの発生タイミングがA・Tに設定される。アドレスカウンタ620は、一方、アドレス制御回路621の制御の下に、参照画像メモリ602における列アドレス範囲がA倍に設定される。これにより、指定された水平方向探索範囲に応じて参照画像画素データおよびテンプレートブロック画素データをそれぞれ所望のタイミングで読出することができる。

【0187】なお、この図40に示す比較部の動作から明らかなように、水平方向探索範囲は、処理単位時間Tの整数倍で設定することもできるが、これはまた水平方向探索範囲を1列ずつ増加させることも可能である。各列における動作が32サイクルの動きベクトル評価動作

および16サイクルの次の列ベクトル評価のための参照画像画素データ入力動作が行なわれ、この1列の動作を単位として動きベクトル検出動作が行なわれているため、水平方向探索範囲を1列ずつ増減することもまた可能である。この場合には処理単位を1列とし、水平方向探索範囲情報Aを水平方向探索範囲を示す値とすることにより、上述の構成をそのまま利用することができる。以上のように、この発明の第4の実施例に従えば、動きベクトルの水平方向探索範囲を変更することができ、処理用途に応じて最適な水平方向探索範囲を設定することができ、汎用性の高い画像符号化システムを容易に構築することができる。

【0188】[実施例5] 図44は、この発明の第5の実施例である動きベクトル検出装置の全体の構成を概略的に示す図である。図44において、動きベクトル検出装置は、並列に設けられるA側演算部1aおよびB側演算部1bを含む。A側演算部1aおよびB側演算部1bは、ともに先の実施例において説明したプロセッサアレイ10および総和部12を含む(図1参照)。動きベクトル検出装置は、さらに、A側演算部1aが3つの予測モードそれぞれに従って生成する評価関数値 e_{va} 、 e_{vb} および e_{vc} を受け、それぞれについて最適動きベクトルを決定する比較部3aと、B側演算部1bが複数の予測モードに従ってそれぞれ生成した評価関数値 e_{va} 、 e_{vb} および e_{vc} をそれぞれ受けてそれぞれについて最適動きベクトルを決定する比較部3bと、比較部3aおよび3bの出力する動きベクトルを交互に選択してA側演算部1aおよびB側演算部1bそれぞれの動きベクトルMVA、MVBおよびMVCを出力するセレクタ632と、外部から与えられるテンプレートブロック画素データPXを処理単位サイクルごとに交互にA側演算部1aおよびB側演算部1bへ与えると同時に、外部から与えられるサーチウィンドウ画素データPYを共通にA側演算部1aおよびB側演算部1bへ与える入力部630を含む。A側演算部1aおよびB側演算部1bは、その水平方向探索範囲が $-16 \sim +15$ に設定される。したがって、A側演算部1aおよびB側演算部1bは、それぞれ1つのテンプレートブロックの処理に2処理単位時間、2T必要とする。したがって、入力部630は、この1処理単位時間ごとに交互にテンプレートブロック画素データを更新するとともにセレクタ632は、この1処理単位時間Tごとに比較部3aおよび3bの出力する動きベクトルを切換えて出力する。

【0189】図45に示すように、サーチウィンドウブロック635は、テンプレートブロックNに関しては変位ベクトル(0, -16)を有し、テンプレートブロックN+1については変位ベクトル(-16, -16)を有する。テンプレートブロックNをたとえばA側演算部1aのプロセッサアレイに格納し、テンプレートブロックN+1の画素データをB側演算部1bに格納する。こ

のA側演算部1aおよびB側演算部1bに共通にサーチウィンドウ画素データPYを印加すれば、並列に2つのテンプレートブロックについて動きベクトル探索動作を行なうことができる。異なるのは、A側演算部1aとB側演算部1bにおける動きベクトル検出動作開始タイミングである。図46にA側演算部1aおよびB側演算部1bの処理シーケンスを示す。図46に示すように、A側演算部1aにおいてはテンプレートブロックNの水平方向 $-16 \sim -1$ についての動きベクトル探索動作が行なわれているとき、B側演算部1bにおいては、テンプレートブロックN-1について水平方向 $0 \sim +15$ の範囲において動きベクトル探索動作が行なわれる。テンプレートブロックN-1の水平方向 $0 \sim +15$ の動きベクトル探索動作が完了すると、このテンプレートブロックN-1についての動きベクトルが決定される。一方、A側演算部1aにおいては、次の処理単位時間TにおいてブロックNについて水平方向 $0 \sim +15$ において動きベクトル検出動作が行なわれる。B側演算部1bにおいては、入力部630を介してテンプレートブロックN+1の画素データが格納され、このテンプレートブロックN+1の水平方向 $-16 \sim -1$ についての動きベクトルの検出動作が行なわれる。以降、処理単位時間TごとにA側演算部1aおよびB側演算部1bのテンプレートブロック画素データが交互に更新される。比較部3aおよび3bにおいては、したがって処理単位時間Tごとに各予測モードに応じた動きベクトルを交互に決定して出力する。セレクタ632はこの処理単位時間ごとに選択態様を切換えて比較部3aおよび3bから出力された動きベクトルを選択して出力する。

【0190】上述のように、2つの演算部および2つの比較部を設け、異なったテンプレートブロックの画素データを各演算部へ格納するとともに、同じサーチウィンドウ画素データを共通に演算部へ与えることにより、パイプライン的にテンプレートブロックの動きベクトル検出動作を行なうことができ、高速で動きベクトル検出を行なうことができる。すなわち、動きベクトル検出に実際には2T必要とされても、見かけ上動きベクトルはTごとに決定されるためである。図47は、演算部および比較部の組が4組並列に設けられた場合の動作を示す図である。この図47においては、水平方向探索範囲が $-32 \sim +31$ に設定され、1つのテンプレートブロックについての動きベクトル検出には4Tの処理時間が必要とされる。各演算部には異なるテンプレートブロックの画素データが格納され、それぞれの演算部には共通に同じサーチウィンドウ画素データが与えられる。この場合、4つのテンプレートブロック画素データの処理がパイプライン的に行なわれ、処理時間Tごとに演算部から順次動きベクトルが決定されて出力される。したがってこの場合においても、処理時間が4Tとなった場合においても動きベクトルを単位時間Tごとに出力することが

できる。

【0191】すなわち、処理単位時間を T としてその水平方向探索範囲が A 倍された場合、演算部および比較部を A 組設け、各演算部に異なるテンプレートブロック画素データを格納することにより、 A 個のテンプレートブロックについての動きベクトル検出動作をパイプライン的に行なうことができる。なお、このパイプライン態様の動作について、テンプレートブロック画素データの更新時間は無視している。これは各処理単位時間ごとにテンプレートブロック画素データ更新時間の待合せを行ない、演算部においてテンプレートブロック画素データが格納された後にすべての演算部において動きベクトル検出動作が同じタイミングで開始／再開されるように構成されれば、容易にこの図46および図47に示す動きベクトル検出動作シーケンスを実現することができる。

【0192】図44に示す入力部630およびセクタ632の構成としては、単に処理対象となるテンプレートブロックの数に応じてそのテンプレートブロック画素データの伝達経路が順次書換えられる構成が入力部630において設けられ、セクタ632においては、その処理単位時間 T ごとに比較部の出力を順次選択する構成が用いられればよく、この構成は容易に実現することができる。またこの場合、テンプレートブロック画素データを現画像メモリから読出す構成は何ら処理単位時間 T でテンプレートブロック画素データを更新する場合と変更はなく、単に参照画像メモリからサーチウィンドウ画素データを出力する場合、その処理時間に応じてサーチウィンドウ画素データを読出す範囲が変更されるだけであり、これは第4の実施例の構成を利用することができる。

【0193】以上のように、この発明の第5の実施例の構成に従えば、複数の組の演算部および比較部を並列に設け、これらの演算部および比較部の各組へ異なるテンプレートブロック画素データを与えるとともに、共通にサーチウィンドウ画素データを与え、各組で処理単位時間ごとにテンプレートブロックを更新しているため、高速で複数の予測モードに従って動きベクトルを検出することができる。また2組の演算部および比較部の構成が用いられる場合においても、水平方向のベクトル探索範囲を変更することができる(2 T 処理時間ごとにテンプレートブロック画素を更新すればよい)ため、動きベクトルの水平方向探索範囲を容易に変更することができる。さらに、演算部および比較部を1つのチップで構成した場合、この1つのチップにおいて処理単位時間 T が設定されている場合、 A 個のチップを並列に設けておけば、容易に水平方向探索範囲が異なる画像符号化システムへ適用することができる。各チップにおいて実施例4の構成を設けておけばよいためである。

【0194】〔実施例6〕図48は、16行×16列に配置された要素プロセッサを含むプロセッサアレイの全

体の構成を概略的に示す図である。図48においては、要素プロセッサ PE は、16行×16列に配置された画素を有するテンプレートブロックの各画素に1対1対応で配置される。すなわち、要素プロセッサ PE は、サーチウィンドウ画素データを格納する1つのレジスタと、テンプレートブロック画素データを格納する1つのレジスタを含む(図3において $N=M=1$)。図48において、テンプレートブロックの各列に対応して配置される線形プロセッサアレイ $LA0 \sim LA15$ は、16個の要素プロセッサ PE と、32画素のデータを各々が格納するデータバッファ $DL(DL0 \sim DL15)$ を含む。図48においては、後の説明の便宜上、線形プロセッサアレイ $LA0 \sim LA15$ の各々は、上流側(図48の上部)に設けられる8個の要素プロセッサを含む要素プロセッサグループ $PGiU$ と、下流側に設けられた8個の要素プロセッサを含む要素プロセッサグループ $PGiL$ を含む(ただし、 $i=0 \sim 15$)。線形プロセッサアレイ $LA0 \sim LA15$ において要素プロセッサは、1次元的にテンプレートブロック画素データを一方方向に伝達するように相互接続され、また線形プロセッサアレイ $LA0 \sim LA15$ はサーチウィンドウ画素データ PY を1次元的に一方方向に沿って伝達するように相互接続される。すなわち、要素プロセッサおよびデータバッファはシストリックアレイ状に配置される。

【0195】この図48に示す構成の場合、先に説明した実施例4と同様の動作を行なうことができる。すなわち、16行・16列に配置されたテンプレートブロックに対し垂直方向探索範囲を $-16 \sim +16$ として動きベクトル探索を行なうことができる。このとき、水平方向の探索範囲は先の実施例4と同様変更可能である。図49は、8行8列に配置された画素からなるテンプレートブロックに対応して図48に示すプロセッサアレイを再配置したときのプロセッサアレイ(演算部)の全体の構成を概略的に示す図である。図49において、プロセッサアレイ(演算部)は、各々が8行・8列に配置された要素プロセッサを含む4つのプロセッサブロック $PBA \sim PBD$ を含む。プロセッサブロック PBA は、8列のプロセッサグループ $PG8U \sim PG15U$ を含み、プロセッサブロック PBB は、プロセッサグループ $PG0U \sim PG7U$ を含む。プロセッサブロック PBC は、プロセッサグループ $PG8L \sim PG15L$ を含み、プロセッサブロック PBD は、プロセッサグループ $PG0L \sim PG7L$ を含む。

【0196】プロセッサアレイは、2行・2列に配置されたプロセッサブロックを含み、プロセッサブロックの各列に対応してデータバッファ $DL0 \sim DL15$ が分割される。すなわち、データバッファ $DL0 \sim DL7$ がプロセッサブロック PBB および PBD に対応して設けられ、データバッファ $DL8 \sim DL15$ がプロセッサブロック PBA および PBC に対応して配置される。データ

61

バッファDL0～DL15の各々は、32画素のデータを格納する。同じ列に配置されたプロセッサグループはすべて対応のデータバッファからサーチウィンドウ画素データを入力する。たとえば、プロセッサグループPG0UおよびPG0Lは、データバッファDL0からサーチウィンドウ画素データを入力する。上流側に設けられたプロセッサブロックPBAおよびPBBのプロセッサグループPG0U～PG15Uの各々は、対応のデータバッファDL0～DL15から与えられるサーチウィンドウ画素データを、その内部の要素プロセッサを介して順次転送し、各最上流の要素プロセッサからシフトアウトする。すなわち、プロセッサグループPG0U～PG15Uの各々は、サーチウィンドウ画素データについては、単に、直列にサーチウィンドウ画素データを転送する動作を行ない、シストリックアレイは構成しない。一方、下流側のプロセッサブロックPBCおよびPBDについては、プロセッサグループPG0L～PG7Lと対応のデータバッファDL0～DL7がサーチウィンドウ画素データを1次元的に一方方向にのみ転送するようにシストリックアレイを構成するように相互接続される。すなわち、プロセッサグループの最上流の要素プロセッサからシフトアウトされるサーチウィンドウ画素データは上流側の隣接列のデータバッファへ与えられる。同様、プロセッサブロックPBCにおいても、プロセッサグループPG8L～PG15LおよびデータバッファDL8～DL15がサーチウィンドウ画素データについては1次元的に一方方向に沿ってのみ転送動作を行なうシストリックアレイを構成する。

【0197】テンプレートブロック画素データについては、プロセッサブロックPBA～PBDの各々は、1次元方向に沿ってのみ画像データ転送を行なうようにシストリックアレイ状に要素プロセッサが相互接続される。プロセッサブロックPBA～PBDの各々へは、異なるテンプレートブロックの画素データが与えられてそこに格納される。図49においては、異なるテンプレートブロックを示すために、テンプレートブロック画素データPXA～PXDがそれぞれプロセッサブロックPBA～PBDへ与えられるように示される。次に動作について説明する。テンプレートブロックのサイズが8行・8列であり、またデータバッファDL0～DL15それぞれは、32画素のデータを格納するため、図50に示すように、処理単位として、水平方向8変位、垂直方向33変位をとる（ $P \cdot (Q+R)$ が処理単位時間である）。

【0198】今、図51に示すように、プロセッサブロックPBA～PBDそれぞれにテンプレートブロックMA、MB、MCおよびMDそれぞれの画素データが格納されており、またサーチウィンドウブロック650が格納された状態を考える。サーチウィンドウブロック650の変位は、テンプレートブロックMAに対しては変位（8，-8）であり、テンプレートブロックMBに対し

62

ては変位（0，-8）であり、テンプレートブロックMCに対しては、変位（-8，-8）であり、テンプレートブロックMDに対しては、変位（-16，-8）である。したがって、プロセッサブロックPBA～PBDそれぞれが並列にパイプライン的に動きベクトル検出動作を行なうために、4処理単位時間を処理時間とする。すなわち、図52に示すように水平方向33変位、および垂直方向33変位のサーチエリア（探索領域）において動きベクトル検出を行なう。

10 【0199】今、1つのプロセッサブロックにおける1つのサーチウィンドウの動きベクトル検出動作を考える。今、図53（A）に示すように、サーチウィンドウは40行・8列に配置された画素を備える。最上部のサーチウィンドウブロックの変位がたとえば（-16，-16）であり、32回シフト動作を行ない、変位（-16，+16）に到達した状態を考える。この場合、プロセッサアレイにおいては、図53（B）に斜線で示す8画素のみが動きベクトル検出動作を受けるサーチウィンドウ画素データとして残る。この斜線領域で示す8画素をシフトアウトすれば、次の列における動きベクトルす

20 なわち（-15，-16）に対する評価値を算出することができる。4処理単位時間の各処理単位時間において水平方向変位-16～-9、-8～-1、0～+7、および+8～+15についてそれぞれ動きベクトル検出動作が行なわれる。この4処理単位時間における各処理単位時間の異なる位相での動きベクトル検出動作をプロセッサブロックPBA～PBDそれぞれにおいて実行する。

30 【0200】図54にプロセッサブロックにおける処理動作シーケンスの一例を示す。処理単位時間Tは（32+8）×8=320サイクルである。期間t1においては、プロセッサブロックPBAにおいてテンプレートブロックNの水平変位-16～-9についての動きベクトル検出が行なわれる。プロセッサブロックPBDにおいては、テンプレートブロックN-3に対し水平方向変位+8～+15の範囲においての動きベクトル検出が行なわれる。プロセッサブロックPBCにおいては、テンプレートブロックN-2に対し水平方向変位0～+7の範囲においての動きベクトル検出が行なわれる。プロセッサブロックPBDにおいては、テンプレートブロックN-1に対して水平方向変位-8～-1における動きベクトル検出が行なわれる。ここで、ブロックN-3、N-2、N-1、およびN、N+1、…は順次水平方向に沿って配置される。プロセッサブロックPBAにおいては、4処理単位時間経過後の時間t4においてはブロックNに対する水平方向変位+8～+15における動きベクトル検出動作が行なわれ、このテンプレートブロックNに対する動きベクトルが決定される。プロセッサブロックPBBにおいては、時間t1においてテンプレート

50

きベクトル検出動作が行なわれ、その結果、テンプレートブロックN-3についての動きベクトルが決定される。次の期間t2から新しいテンプレートブロックN+1についての動きベクトル検出動作が行なわれる。

【0201】プロセッサブロックPBCにおいては、期間t2においてテンプレートブロックN-2の水平方向変位+8〜+15における動きベクトル探索動作が完了し、このテンプレートブロックN-2についての動きベクトルが決定される。次の期間t3から新しいテンプレートブロックN+2についての動きベクトル探索が行なわれる。プロセッサブロックPBDについては、期間t3においてテンプレートブロックN-1についての動きベクトル探索動作が完了し、このテンプレートブロックN-1に対する動きベクトルが決定される。次の期間t4から新しいテンプレートブロックN+3についての動きベクトル検出動作が行なわれる。すなわち、プロセッサブロックPBA〜PBDにおいて1処理単位時間ずらして新しいテンプレートブロックについての動きベクトル検出動作が開始される。各処理単位時間完了時において1つのテンプレートブロックについての動きベクトルがプロセッサブロックPBA〜PBDのいずれかの処理結果により決定される。

【0202】上述のように、プロセッサアレイを4分割することにより、また処理時間を4処理単位時間とすることにより、4つのテンプレートブロックについてパイプライン的に動きベクトル検出動作を行なうことができる。なお上述の実施例においては、16行16列に配置されたテンプレートブロック画素に対応して配置される要素プロセッサを各々が8行・8列の要素プロセッサを有する4つのプロセッサブロックに分割している。一般に、要素プロセッサが1画素に対応する場合、P列・Q行に配置された要素プロセッサを (P/b) 列・ (Q/c) 行の要素プロセッサを有するプロセッサブロックに分割し、プロセッサブロックをb列、c行に配置した場合、データバッファがR個の画素データを格納する場合、処理単位時間として $(P/b) \cdot \{(Q/c) + R\}$ を用いれば、プロセッサブロックの各々は、 $b \cdot c \cdot (P/b) \cdot (R+1)$ の変位ベクトルに対して評価を行なって動きベクトルを検出することができる。このときの処理時間は $b \cdot c \cdot (P/b) \cdot \{(Q/c) + R\}$ サイクルとなる。

【0203】【具体的な構成】図55は、この発明の第6の実施例に用いられる動きベクトル検出装置の要部の構成を示す図である。図55においては、動きベクトル検出装置における演算部642の構成を示す。図55において、演算部642は4つのプロセッサブロックPBA〜PBDと、データバッファ群DLAおよびDLBを含む。プロセッサブロックPBA〜PBDはそれぞれ図49に示すものと同じ構成を備える。データバッファ群DLAは、図48および図49に示すデータバッファD

L8〜DL15を含み、データバッファ群DLBは、データバッファDL0〜DL7を含む。テンプレートブロックのサイズに従ってこの演算部642の内部構成を変更するために、接続制御回路644の出力する制御信号に従ってテンプレートブロック画素データおよびサーチウィンドウ画素データの転送経路を切換えるセクタSLa〜SLgが設けられる。セクタSLa〜SLgの内部構成は後に詳細に説明する。接続制御回路644はこの動きベクトル検出装置の演算部外部から与えられるモード指定信号（テンプレートブロックサイズ指定信号） ϕM に従ってセクタSLa〜SLgの接続を確認する。この演算部642には、また入力部640から与えられるサーチウィンドウ画素データPXを接続制御回路644の制御の下にプロセッサブロックPBA〜PBDへ選択的に分配するマルチプレクサ646が設けられる。接続制御回路644は、この指定信号 ϕM が8行8列のテンプレートブロックサイズを示すときには、処理単位時間（T）ごとにそのマルチプレクサ646の出力経路を切換える。これにより処理単位時間Tごとに入力部640から与えられる8行8列のテンプレートブロック画素データPXが、処理単位時間ごとに順次プロセッサブロックPBA〜PBDへ与えられる。モード指定信号 ϕM が16行・16列のテンプレートブロックサイズを指定するときには、接続制御回路644は、このマルチプレクサ646の所定の1つの出力のみを選択状態としてプロセッサブロックPBCへ与える。入力部640へは、図示しない参照画像メモリおよび現画像メモリからサーチウィンドウ画素データPYおよびテンプレートブロック画素データPXが与えられる。テンプレートブロックが16行16列のサイズを有するとき、外部からは、4処理単位時間（4T）ごとにテンプレートブロック画素データが与えられてプロセッサブロックPBA〜PBDのテンプレートブロック画素データの更新が行なわれる。テンプレートブロックが8行・8列のサイズを有する場合、処理単位時間Tごとに8行・8列のテンプレートブロック画素データが与えられ、プロセッサブロックPBA〜PBDがそれぞれ順次処理単位時間ごとにそのテンプレートブロック画素データの更新を受ける。

【0204】図56は、図55に示すセクタSLbの構成を概略的に示す図である。図56においては、スイッチング素子は機械的スイッチで構成されるように示されるが、これらのスイッチング素子はトランスファゲートまたはトランсмисシオンゲートなどのトランジスタ素子で構成される。また、図56においては、テンプレートブロック画素データを転送する経路に関連する構成のみを示す。サーチウィンドウ画素データ転送のためのセクタ部の構成は後に示す。セクタブロックSLbは、プロセッサブロックPBAにおいて隣接する2つのプロセッサグループの入力と出力とを信号 ϕLA の活性化時に接続するスイッチング素子SWaと、信号 ϕ

φ L Aの活性化時にプロセッサグループ 15 Uの入力（このグループ 15 Uの最下流の要素プロセッサ）へテンプレートブロック画素データ P X Aを与えるスイッチング素子 S W X aと、プロセッサブロック P B Cにおいて隣接する 2つのプロセッサグループの入力と出力とを信号 / φ L Aの活性化時に接続するスイッチング素子 S W a 1と、プロセッサブロック P B Aおよび P B Cの同一列に配置されたプロセッサグループの出力と入力とを信号 φ L Aの活性化時に接続するスイッチング素子 W b bと、プロセッサブロック P B Aのプロセッサグループの出力をプロセッサブロック P B Cの 1列上位のプロセッサグループの入力へ接続するスイッチング素子 S W b aとを含む。

【0205】信号 φ L Aは、16行・16列のテンプレートブロックサイズが指定されたときに活性状態とされ、信号 / φ L Aは 8行・8列のテンプレートブロックサイズが指定されたときに活性状態とされる。プロセッサグループ P G 8 Uに対し、さらに信号 / φ L Aの活性化時に導通状態とされるスイッチング素子 S W d が設けられる。プロセッサグループ P G 8 Uの出力は、またスイッチング素子 S W b bを介してプロセッサブロック P B Cのプロセッサグループ P G 7 Lの入力へ接続される。プロセッサブロック P B Bのプロセッサグループ P G 7 Uおよびプロセッサブロック P B Cのプロセッサグループ P G 7 Lへは、また信号 / φ L Aにตอบสนองしてテンプレートブロック画素データ P X Bおよび P X Dをそれぞれ伝達するスイッチング素子 S W X cおよび S W X d が設けられる。スイッチング素子 S W X cおよび S W X d は、信号 / φ L Aの活性化時に導通状態とされる。

【0206】プロセッサグループ P G 8 Uの出力部にさらに、信号 φ L Aにตอบสนองして導通するスイッチング素子 S W d が設けられる。このスイッチング素子 S W d と同様の構成のスイッチング素子がまたプロセッサグループ P G 8 Lの出力部にも設けられる（図 56に示す）。このスイッチング素子 S W d は、次段の回路でテンプレートブロック画素データをさらに処理する場合に、直接このテンプレートブロック画素データをその次段回路へ与えるために設けられる。この図 56に示すようにプロセッサグループの入力部および出力部それぞれにスイッチング素子を設けることにより、容易にテンプレートブロックのサイズに応じて要素プロセッサの配置を変更することができる。すなわち、テンプレートブロックのサイズに従って、プロセッサブロック P B A～P B Dそれぞれにおいてプロセッサグループがシストリックアレイ状に接続されるかまたはプロセッサブロック P B A～P B D全体として 1つのシストリックアレイを構成することができる。

【0207】図 57は、図 55に示すセクタのサーチウィンドウ画素データ転送に関連する部分の構成を概略的に示す図である。図 57においても、スイッチング素

子は機械的スイッチで構成されるように示されるが、また、トランジスタ素子で構成される。セクタ S L a は、プロセッサブロック P B Aに含まれるプロセッサグループ P G 8 U～P G 15 Uの出力部にそれぞれ設けられ、信号 / φ L Aにตอบสนองして対応のプロセッサグループの出力する画素データを出力ノード O T Nへ伝達するスイッチング素子 S T aと、信号 φ L Aにตอบสนองしてプロセッサグループ P G 8 U～P G 15 Uの出力する画素データを 1列上流のデータバッファ D L 7～D L 14の入力部へ伝達するスイッチング素子 S T bを含む。信号 / φ L Aは、先の図 56において説明した信号 / φ L Aと同様、8行・8列のテンプレートブロックサイズが指定されたときに活性状態とされてスイッチング素子 S T aを導通状態とする。信号 φ L Aは、16行・16列のテンプレートブロックサイズが指定されたときに活性状態とされ、スイッチング素子 S T bを導通状態とする。

【0208】セクタ S L bは、プロセッサブロック P B Aおよび P B Cにおいて、同一列に配置されたプロセッサグループの出力と入力を信号 φ L Aの活性化時に接続するスイッチング素子 S T cと、プロセッサグループ P G 8 L～P G 15 Lの出力を 1列上流に設けられたデータバッファ D L 7～D L 14の入力に接続するスイッチング素子 S T dを含む。セクタ S L cは、データバッファ D L 8～D L 15それぞれの出力部に設けられ、信号 / φ L Aの活性化時に導通状態とされて対応のデータバッファ D L 8～D L 15の出力する画素データを同一列に配置されたプロセッサブロック P B A内のプロセッサグループ P G 8 U～P G 15 Uの入力（該グループにおける最下流の要素プロセッサ）へ伝達するスイッチング素子 S T eを含む。

【0209】ここで、プロセッサグループ P G 8 Lの出力部にはスイッチング素子 S T d は設けられていない。プロセッサグループ P G 8 Lとデータバッファ D L 7とは、異なるテンプレートブロックに対応するプロセッサブロックに含まれており、したがってこのプロセッサグループ P G 8 Lからデータバッファ D L 7へサーチウィンドウ画素データを転送する必要がないためである。このプロセッサグループ P G 8 Lの出力部には、信号 / φ L Aの活性化時に導通状態とされるスイッチング素子 S T aと同様のスイッチング素子が設けられる（図 57には示さず）。プロセッサブロック P B Bおよび P B Dにおいても、プロセッサブロック P B Aおよび P B Cにおけるセクタ S L aおよび S L bおよび S L cと同様の構成が設けられる。このとき、データバッファ D L 7には、セクタ S L gとして、信号 / φ L Aの活性化時に導通し、サーチウィンドウ画素データ P Yをそのデータバッファ D L 7の入力へ伝達するスイッチング素子が設けられる。

【0210】図 57においては、8行・8列のテンプレートブロックサイズが指定されたときのスイッチング素

子の導通／非導通状態が一例として示される。これらスイッチング素子の導通／非導通状態を信号 ϕLA および ϕLB により確立することにより、テンプレートブロックサイズに対応するプロセッサ配置を得ることができる。なお、図57に示す構成においては、スイッチング素子STbはセクタSLaに含まれるように示される。しかしながら、このスイッチング素子STbはセクタSLbに設けられてもよい。図58は、この第6の実施例において用いられる動きベクトル決定部の構成を示す図である。図58においては、1つの予測モードに

【0211】図58において、動きベクトル決定部は、プロセッサブロックPBA～PBDそれぞれに対応して設けられ、対応のプロセッサブロックから与えられる評価関数値成分の総和をそれぞれ求めることにより、評価関数値を導出する総和部650a～650dと、総和部650a～650dそれぞれに対応して設けられる1入力2出力のセクタ652a～652dを含む。セクタ652a～652dの各々は、信号 ϕLA が非活性状態にあり、8行・8列のテンプレートブロックサイズが指定されたとき対応の総和部から与えられる評価関数値をその第1の出力へ伝達し、信号 ϕLA が活性状態であり16行・16列のテンプレートブロックが指定されたときには与えられた評価関数値を第2の出力へ伝達する。動きベクトル検出部は、さらに、セクタ652a～652dのそれぞれの第1の出力に対応して配置される比較部654a～654dと、セクタ652a～652dのそれぞれの第2の出力から与えられる評価関数値を加算する加算部655と、加算部655の出力データを比較することにより16行・16列のテンプレートブロックの動きベクトルを決定する比較部656と、比較部654a～654dおよび656の出力データを、信号 ϕLAT に従って選択するセクタ658を含む。比較部654a～654dおよび656は、それぞれ与えられた評価関数値の最小値を選択して対応のテンプレートブロックについての動きベクトルを示すデータmvA～mvDおよびmvLを出力する。

【0212】比較部654a～654dが、信号 ϕLA の活性化時、すなわち16行・16列のテンプレートブロックサイズが指定されたときには非活性状態とされ、比較部656のみが活性状態とされる構成が用いられてもよい。また、信号 ϕLA が非活性状態にあり、8行・8列のテンプレートブロックサイズが指定されたときには加算部655および比較部656の動作が禁止されるように構成されてもよい。セクタ658は、比較部654a～654dおよび656の出力する動きベクトルデータを受ける。セクタ658へ与えられる信号 ϕLAT は多ビット信号である。この信号 ϕLAT により、

セクタ658は、16行×16列のテンプレートブロックが指定されたときには比較部656の出力する動きベクトルデータをmvLを選択して出力する。8行・8列のテンプレートブロックサイズが指定されたとき、セクタ658は比較部654a～654dの出力する動きベクトルデータmvA～mvDを、順次、処理単位時間ごとに選択して出力する。このセクタ658へ与えられる多ビット信号 ϕLAT は、外部の制御装置から与えられる。この外部制御装置は、図55に示すモード指定信号 ϕM を発生し、参照画像メモリおよび現画像メモリからそれぞれ所定のタイミングでサーチウィンドウ画素データおよびテンプレートブロック画素データを読み出して演算部へ与えるとともに、このセクタ658における選択動作を制御する。この外部制御装置を備える動きベクトル検出装置の全体の構成は、先に図38を参照して説明した構成と同様の構成となり、ここでは示さない。

【0213】[変更例] 今、図59(A)に示すように、16行・16列のサイズを有するテンプレートブロックにおいて水平および垂直方向いずれにおいても画素をサブサンプリングする場合を考える。すなわち、図59(A)において○印で示す画素について評価関数値の成分導出が行なわれて、×印で示される画素については評価関数値成分は導出されない。この場合、評価関数値成分を導出する画素のみを抽出すれば、図59(B)に示すように8行・8列に配置された画素からなるテンプレートブロックが得られる。サーチウィンドウデータについても同様水平および垂直方向両方向に沿ってサブサンプリングが行なわれる。サーチウィンドウ660は、40行・8列に配置された画素を備える。このサーチウィンドウ660に含まれる画素はすべて評価関数値成分が導出されるべき画素である。今、サーチウィンドウブロック661の変位ベクトルが(H, V)のとき、次のサイクルにおいては、図59(D)に示すようにサーチウィンドウブロック662の変位ベクトルは(H, V+2)となる。すなわち、図59(A)において、×印で表わされる画素が省略されているためである。この変位ベクトルの変化量は、列方向に沿っても2となる。したがって、図59(B)に示すようなサブサンプリング画像を用いて動きベクトルを検出する場合、その水平および垂直方向の動きベクトル探索範囲が水平方向15変位、垂直方向65変位となり、等価的に動きベクトル探索範囲が拡張される。これによりサブサンプリング画像を用いている場合においても、動きベクトル探索範囲を拡張してより正確な動きベクトル検出を行なうことができる。

【0214】なお、この2:1サブサンプリング画像は、言うまでもなく一般のサブサンプリング画像に拡張可能である。また、図56および図57に示す構成を一般の構成に拡張する場合、単に図の上方向にプロセッサ

ブロック PBA の構成がそのまま拡張されればよい。またさらに、上述の構成においては、テンプレートブロックのサイズに応じてプロセッサアレイを制御信号により再配置可能としているが、適用される用途が予め固定的に設定される場合には、以下の構成を利用することができる。すなわち、プロセッサグループおよびデータバッファのみを配置し、その用途に応じてサーチウィンドウ画素データおよびテンプレートブロック画素データを伝達する経路をマスク配線により設定する。同一チップを用いて複数のテンプレートブロックサイズに容易に対応

【0215】また、単に、16行・16列のテンプレートブロックを8行・8列のテンプレートブロックに分割するだけであり、動きベクトル検出部の構成のみを図58に示す構成とすれば、4つの8行・8列のテンプレートブロックに対し同時に動きベクトル検出動作を行なうことができる（この場合、すべてのテンプレートブロックについての変位ベクトルは同じ値となる）。以上のように、この発明の第6の実施例の構成に従えば、テンプレートブロックのサイズに従って演算部に含まれる要素

【実施例7】図60は、この発明の第7の実施例である動きベクトル検出装置の要部の構成を示す図である。図60においては、1つの要素プロセッサPEの構成を示す。図60において、要素プロセッサPEは、それぞれ、異なるテンプレートブロックの画素データを格納するレジスタ(A)660aおよびレジスタ(B)660bと、制御信号φAに従ってレジスタ(A)660aおよびレジスタ(B)660bの出力する画素データの一方を選択して隣接する要素プロセッサまたはデータバッファへ伝達するセクタ662と、信号φAにตอบสนองして隣接要素プロセッサまたは入力部から与えられるテンプレートブロック画素データをレジスタ(A)660aおよびレジスタ(B)660bの一方へ与えるマルチプレクサ661と、信号φAにตอบสนองしてレジスタ(A)660aおよびレジスタ(B)660bが格納しかつ出力する画素データを選択して出力するセクタ663と、隣接要素プロセッサまたはデータバッファから与えられるサーチウィンドウ画素データを格納するとともに図示しないクロック信号にตอบสนองして隣接する要素プロセッサまたはデータバッファへ伝達するレジスタ664と、セクタ663の出力する画素データaとレジスタ664の出力する（格納された）画素データbとの減算を行なう減算器665と、減算器665の出力データの絶対値をとる絶対値演算器666を含む。

【0216】信号φAがレジスタ(A)660aを指定する場合には、隣接要素プロセッサまたは入力部から与えられたテンプレートブロック画素データPXがマルチ

プレクサ661を介してレジスタ(A)660aへ与えられ、またこのレジスタ(A)660aの格納するデータまたは出力する画素データはセクタ662により選択されて隣接要素プロセッサまたは出力部へ与えられる。このときには、セクタ663は、レジスタ(B)660bの格納する画素データ（または出力する画素データ）を選択する状態にある。絶対値演算器666から差分絶対値 $|a-b|$ が評価関数値成分として出力され、図示しない総和部において総和されて評価関数値が生成される。レジスタ(A)660a、レジスタ(B)660bおよびレジスタ664は、その内部に転送ゲートを備えるシフトレジスタの構成を備えていてもよく、単にデータをラッチする構成を備え、データ転送部は要素プロセッサ外部に配置される構成であってもよい。

【0217】この図60に示す構成においては、レジスタ(A)660aおよびレジスタ(B)660bの一方に格納されたテンプレートブロック画素データを用いて演算が行なわれる。他方のレジスタに対し別のテンプレートブロックの画素データが与えられて格納される。すなわち、1つのテンプレートブロックについての動きベクトル検出動作の間に他方のレジスタに対し別のテンプレートブロックの画素データのロード動作が行なわれる。図61は、この図60に示す要素プロセッサを含む動きベクトル検出装置における処理動作シーケンスの一例を示す図である。以下、図61を参照してこの発明の第7の実施例の処理動作について説明する。時間T1においては、レジスタ(A)に格納されたテンプレートブロックNの画素データを用いて演算操作（差分絶対値演算）が行なわれ、図60に示すレジスタ664に格納されたサーチウィンドウ画素データPIを順次シフトすることにより、このテンプレートブロックNに対する動きベクトル検出動作が行なわれる。すなわち、図60に示すセクタ663は信号φAによりレジスタ(A)に格納された画素データを選択する状態に設定される。マルチプレクサ661およびセクタ662は、信号φAによりレジスタ(B)を選択する状態に設定される。これにより、次に指示されるべきテンプレートブロック(N+1)の画素データが順次シフト動作によりレジスタ(B)660bに格納される。

【0218】期間T1が完了し、テンプレートブロックNの動きベクトル検出動作が完了すると、そのときには次に処理されるべきテンプレートブロックN+1の画素データのロードは完了している。マルチプレクサ661およびセクタ662が、信号φAに従ってレジスタ(A)660aの選択状態に設定される。セクタ663はレジスタ(B)660bを選択する状態に設定される。この状態においては、レジスタ(B)660bに格納されたテンプレートブロックN+1の画素データを用いて動きベクトル検出動作が行なわれる。動きベクトル検出動作時においては、参照画像メモリへのアクセスは

行なわれる（サーチウィンドウ画素データを演算部へシフトインする必要があるため）。しかしながらテンプレートブロック画素データを格納する現画像メモリへはアクセスは行なわれない。したがって、この間、次に処理されるべきテンプレートブロックの画素データを現画像メモリから読出して演算部へ与えることができる。すなわち、期間T2においてテンプレートブロックN+2の画素データのロードが行なわれ、この与えられた画素データがレジスタ(A)660aに順次格納される。

【0219】以降、期間T3、T4、T5およびT6において、レジスタ(A)660aに対してはテンプレートブロックN+2についての動きベクトル探索、テンプレートブロックN+4の画素データのロード、テンプレートブロックN+4の動きベクトルの探索およびテンプレートブロックN+6の画素データのロードが行なわれる。レジスタ(B)660bに対しては、期間T3~T6それぞれにおいて、テンプレートブロックN+3の画素データのロード、テンプレートブロックN+3の動きベクトルの探索、テンプレートブロックN+5の画素データのロードおよびテンプレートブロックN+5の動きベクトルの検出が行なわれる。以上のように、テンプレートブロック画素データを格納するためのレジスタを各要素プロセッサ内に2つ設け、一方のレジスタに格納されたテンプレートブロック画素データを用いて動きベクトル検出動作を行なっている間に他方のレジスタへ次に処理されるべきテンプレートブロック画素データを格納する。これにより、テンプレートブロックの画素データの入力とテンプレートブロックについての動きベクトル検出処理を並行して実行することができ、処理時間を大幅に短縮することができる。

【0220】図62は、この発明の第7の実施例の動きベクトル検出装置の全体の構成を概略的に示す図である。動きベクトル検出装置670は、サーチウィンドウ画素データおよびテンプレートブロック画素データを入力する入力部671と、この入力部671から与えられたテンプレートブロック画素データおよびサーチウィンドウブロック画素データに所定の演算を施して評価関数値e m vを生成する演算部672と、演算部672からの評価関数値e m vに従って動きベクトルMVを決定する比較部673を含む。図62においては、複数の予測モードのうち1つの予測モードに従って決定される評価関数値e m vおよび動きベクトルMVのみを示す。演算部672および比較部673は、それぞれ複数の予測モードに従って評価関数値および動きベクトルを検出する。この演算部672におけるテンプレートブロック画素データの格納を制御するために制御装置674が設けられる。制御装置674は、単位処理時間ごとに信号φAおよび/φAを交互に活性状態とし、演算部672においてテンプレートブロック画素データを入力するレジスタを切替える。この制御装置674は、またサーチウ

ィンドウ画素データを格納する参照画像メモリ675およびテンプレートブロック画素データを格納する現画像メモリ676に対するデータの読出動作をも制御する。この制御装置674の制御の下に、1つのテンプレートブロックについて参照画像メモリ675からサーチエリア内の画素データが入力部671へ与えられて演算部672に入力されている間、現画像メモリ676から次に処理されるべきテンプレートブロックの画素データが読出されて入力部671を介して演算部672へ与えられる。

【0221】[変更例1] 図63は、この発明の第7の実施例の第1の変更例の構成を示す図である。図63においては、テンプレートブロック画素データを入力部671から受ける初段の要素プロセッサの構成を示す。しかしながら、他の要素プロセッサの構成もこの図63に示す要素プロセッサの構成と同じである。図63に示す要素プロセッサPEにおいては、テンプレートブロック画素データを振り分けるためのマルチプレクサおよびセレクトラは設けられない。他の構成は図60に示す構成と同じであり、対応する部分には同一の参照番号を付す。入力部671と初段の要素プロセッサPEの間に、テンプレートブロック画素データを信号φAに従ってレジスタ(A)660aおよびレジスタ(B)660bの一方へ伝達するマルチプレクサ675が設けられる。レジスタ(A)660aの出力するテンプレートブロック画素データは、シフト動作時には隣接する要素プロセッサのレジスタ(A)へ与えられる。同様、レジスタ(B)660bに格納されるテンプレートブロック画素データは、シフト動作時には隣接する要素プロセッサのレジスタ(B)660bに与えられる。すなわち、入力部671の次段に設けられたマルチプレクサ675により、レジスタ(A)660aに格納されるテンプレートブロック画素データの伝達経路とレジスタ(B)660bに格納されるテンプレートブロック画素データの経路を切替える。要素プロセッサ間においては、レジスタ

(A)はレジスタ(A)に接続され、レジスタ(B)は同様レジスタ(B)に接続される。この図63に示す構成の場合、要素プロセッサPE内にマルチプレクサおよび隣接要素プロセッサ間のテンプレートブロック画素データ転送のためのセレクトラを設ける必要がなく、要素プロセッサの規模を低減することができる。

【0222】なお図63に示す構成においてはレジスタ(A)660aおよびレジスタ(B)660bは、単にデータを格納する機能のみを備えるように示しているが、これはシフトレジスタのようにデータシフト機能を備えていてもよい。シフトレジスタ構成の場合、データ転送時において一方のレジスタにおいてのみ転送動作を行なうようにクロック信号が与えられ、他方のレジスタへは画素データ転送のためのクロック信号は与えられない。

【変更例 2】図 6 4 は、この発明の第 7 の実施例の第 2 の変更例の構成を示す図である。図 6 4 においては、1 つの要素プロセッサのテンプレートブロック画素データ格納用のレジスタ 6 6 0 a および 6 6 0 b の構成を示す。他の構成は図 6 0 および図 6 3 に示す要素プロセッサのそれと同じである。

【0 2 2 3】図 6 4 (A) において、レジスタ (A) 6 6 0 a は、クロック信号 $\phi 1 A$ に応答して下流の隣接要素プロセッサまたは入力部から与えられるテンプレートブロック画素データを伝達するトランスファゲート 6 7 6 a と、トランスファゲート 6 7 6 a を介して与えられたテンプレートブロック画素データをラッチするラッチ 6 7 7 a と、クロック信号 $\phi 1 A$ に応答してこのラッチ回路 6 7 7 a の格納する画素データを上流の隣接要素プロセッサまたは出力部へ伝達するトランスファゲート 6 7 8 a を含む。レジスタ (B) 6 6 0 b は、クロック信号 $\phi 1 B$ に応答して下流の隣接要素プロセッサまたは入力部から与えられたテンプレートブロック画素データを伝達するトランスファゲート 6 7 6 b と、このトランスファゲート 6 7 6 b を介して与えられた画素データをラッチするラッチ回路 6 7 7 b と、ラッチ回路 6 7 7 b のラッチする画素データをクロック信号 $\phi 1 B$ に応答して上流の隣接要素プロセッサまたは出力部へ伝達するトランスファゲート 6 7 8 b を含む。演算部 (減算器および絶対値回路) へテンプレートブロック画素データを与えるセレクト 6 6 3 へは、ラッチ回路 6 7 7 a および 6 7 7 b がそれぞれラッチする画素データが与えられる。信号 ϕA がレジスタ (A) 6 6 0 a を指定するときセレクト 6 6 3 はラッチ 6 7 7 a がラッチする画素データを選択する。信号 ϕA がレジスタ (B) 6 6 0 b を指定するとき、セレクト 6 6 3 はラッチ 6 7 7 b のラッチする画素データを選択する。

【0 2 2 4】図 6 4 に示すレジスタ (A) 6 6 0 a およびレジスタ (B) 6 6 0 b の構成は、本質的にシフトレジスタである。これらのレジスタ 6 6 0 a および 6 6 0 b の入力部を相互接続し、またその出力部を相互接続する。テンプレートブロック画素データをロードすべきレジスタに対してのみクロック信号 $\phi 1 A$ および $\phi 1 A$ (または $\phi 1 B$ および $\phi 1 B$) が与えられる。ラッチする画素データが演算処理される場合には、クロック信号 $\phi 1 B$ および $\phi 1 B$ (または $\phi 1 A$ および $\phi 1 A$) はともに非活性状態のローレベルとされ、その内部のラッチはレジスタ外部と分離される。これにより、一方のレジスタのテンプレートブロック画素データ転送動作が他方のレジスタに格納された画素データに影響を及ぼすのを防止することができる。次にこの図 6 4 (A) に示す要素プロセッサの動作をその動作波形図である図 6 4 (B) を参照して説明する。

【0 2 2 5】レジスタ (A) にテンプレートブロック画素データをロードする際には、信号 $\phi 1 A$ および $\phi 1$

A が順次ハイレベルとされる。クロック信号 ϕA および ϕA は互いに重なり合わない 2 相のクロック信号である。レジスタ (B) 6 6 0 b に対するクロック信号 $\phi 1 B$ および $\phi 1 B$ がともにローレベルとされ、トランスファゲート 6 7 6 b および 6 7 8 b はともにオフ状態とされる。セレクト 6 6 3 は、信号 ϕA に従って、ラッチ 6 7 7 b のラッチする画素データを選択して演算部へ与える。これにより、ラッチ 6 7 7 b すなわちレジスタ

(B) に格納されたテンプレートブロック画素データを用い動きベクトル検出動作が行なわれる。この動きベクトル検出動作中に、クロック信号 $\phi 1 A$ および $\phi 1 A$ が順次活性状態とされて別のテンプレートブロック画素データのシフトイン/シフトアウト動作が行なわれる。クロック信号 $\phi 1 A$ がハイレベルとなると、トランスファゲート 6 7 6 a がオン状態とされ、一方、このとき、信号 $\phi 1 A$ はローレベルであり、トランスファゲート 6 7 8 a はオフ状態にある。したがって下流の隣接要素プロセッサまたは入力部から与えられたテンプレートブロック画素データがラッチ 6 7 7 a にラッチされる。次いでクロック信号 $\phi 1 A$ がローレベルとなり、トランスファゲート 6 7 6 a がオフ状態とされ、クロック信号 $\phi 1 A$ がハイレベルとされ、トランスファゲート 6 7 8 a がオン状態とされ、ラッチ 6 7 7 a に格納された画素データが上流の隣接要素プロセッサまたは出力部へ伝達される。これにより、レジスタ (A) 6 6 0 a を介して順次次に処理されるべきテンプレートブロック画素データを転送して対応のレジスタ (A) 6 6 0 a にテンプレートブロック画素データを格納することができる。

【0 2 2 6】レジスタ (B) 6 6 0 b に格納された画素データを用いて動きベクトル検出動作が完了すると、このときにレジスタ (A) 6 6 0 a には既に次の処理されるべきテンプレートブロック画素データは格納されている。この状態において、クロック信号 $\phi 1 A$ および $\phi 1 A$ をともにローレベルとし、トランスファゲート 6 7 6 a および 6 7 8 a をともにオフ状態とする。同時にセレクト 6 6 3 を信号 ϕA によりレジスタ (A) 6 6 0 a の選択状態に設定する。これにより、レジスタ (A) 6 6 0 a に格納されたテンプレートブロック画素データを用いた動きベクトル検出動作が行なわれる。このとき、今度はクロック信号 $\phi 1 B$ および $\phi 1 B$ が順次ハイレベルとされて次に処理されるべきテンプレートブロック画素データのレジスタ (B) 6 6 0 b への格納が行なわれる。

【0 2 2 7】この図 6 4 に示す構成の場合、単にシフトレジスタ構成を備えるレジスタを用いているだけであり、テンプレートブロック画素データの転送経路を切換えるためのマルチプレクサおよびセレクトを設ける必要はない。したがって、要素プロセッサの規模をより低減することができる。以上のように、この発明の第 7 の実施例に従えば、要素プロセッサ内に異なるテンプレート

ブロックの画素データを格納する2つのレジスタを設け、これら一方のレジスタに格納された画素データを用いての動きベクトル検出動作と並行して他方のレジスタへ次に処理されるべきテンプレートブロック画素データを格納する（ロードする）ように構成したため、テンプレートブロック画素データ入力と動きベクトル検出動作を並行して行なうことができ、テンプレートブロック画素データの更新に要する時間を見かけ上なくすることができ、動きベクトル検出の処理時間を大幅に短縮することができる。

【0228】〔実施例8〕図65は、この発明の第8の実施例の動きベクトル検出装置の要部の構成を示す図である。図65においては、動きベクトル検出装置の動きベクトルを検出する比較部の構成を示す。図65において、比較部は、演算部で算出された評価関数値 e_v のうち最小の評価関数値を格納するレジスタ680と、レジスタ680に格納された評価関数値と与えられた評価関数値を比較する比較器682と、与えられた評価関数値を有する変位ベクトルを表わす情報を発生するカウンタ684と、最小の評価関数値に対応する変位ベクトルを動きベクトル候補として格納するレジスタ686と、比較器682からの等値指示信号 ϕ_{eq} に応答して活性化され、カウンタ684の出力するカウント値およびレジスタ686に格納された変位ベクトル値を受けて優先順位を判定する優先順位判定回路690と、比較器682からの与えられた評価関数値が小さいことを示す信号 ϕ_{sm1} と優先順位判定回路690からの更新指示信号 ϕ_{rw} に応答してレジスタ680および686の内容の更新する更新制御回路688を含む。更新制御回路688は信号 ϕ_{sm1} および ϕ_{rw} の一方が活性状態のときにレジスタ680および686の内容を更新する。

【0229】カウンタ684は、通常の2進カウンタであってもよく、また水平方向ベクトル H および垂直方向ベクトル V を表わすカウント値をそれぞれ別々に発生するカウンタであってもよい。水平方向および垂直方向のベクトル値をそれぞれ別々に示すカウンタの場合、垂直方向探索範囲の大きさに従ってカウント値が設定され、その垂直方向ベクトルカウンタが所定値をカウントアップしたときに水平方向ベクトルカウンタのカウント値が1増分される。いずれの構成が利用されてもよい。優先順位判定回路690は、3つの優先順位判定基準を実現可能なように構成され、用いられる用途に応じてこれらの3つの優先範囲順位判定基準のうちの1つが選択され、選択された優先順位基準に従って優先順位判定を行なう。

【0230】図66および図67は、図65に示す優先順位判定回路690において利用される第1の優先順位判定基準を一覧として示す図である。図66および図67においては、水平方向探索範囲が $-16 \sim +15$ 、垂直方向探索範囲が $-16 \sim +16$ の場合の優先順位判定

基準が示される。図66には水平方向の H ベクトルが0または負の領域の優先範囲判定基準が示され、図67においては、水平方向変位ベクトル H の正の値のときの優先順位判定基準が示される。この図66および図67に示す第1の優先順位判定基準の場合、変位ベクトルの優先順位は、 $P(H, V) = |H| + |V|$ に従って設定される。評価関数値が同じ値のとき、この優先順位評価値 $P(H, V)$ が小さいときに優先順位が高いとされ、高い方の優先順位を有する変位ベクトルが動きベクトル候補として選択される。

【0231】この図66および図67に示す優先順位判定基準の場合、優先順位判定基準において真裏の領域（ベクトル0, 0）が最も優先順位が高くされ、この中央部から離れるに従って優先順位が低くされる。図68および図69は、図65に示す優先順位判定回路の第2の優先順位判定基準を示す図である。図68および図69においても、水平方向 $-16 \sim +15$ および垂直方向 $-16 \sim +16$ を動きベクトル探索範囲とする場合の優先順位評価値が一覧にして示される。この図68および図69に示す優先順位判定基準の場合、変位ベクトル (H, V) の優先順位評価値 $P(H, V)$ は、 $P(H, V) = |H| + (-V + 16)$ で表される。優先順位評価基準値 $P(H, V)$ が小さいほど高い優先順位が与えられる。

【0232】この図68および図69に示す優先順位判定基準の場合、変位ベクトル $(0, 16)$ が最も高い優先順位が与えられ、そこから離れるに従って優先順位が低くされる。すなわち、サーチエリアにおいて中央最下端部が最も優先順位が高くされる。図70および図71は、図65に示す優先順位判定回路の第3の優先順位判定基準を示す図である。図70においては、この第3の優先順位判定基準における水平方向が負の領域の優先順位判定基準値を示し、図71には、探索範囲の水平方向の正の領域における優先順位評価基準値を示す。この第3の優先順位判定基準においては、優先順位評価値 $P(H, V)$ は、

$$P(H, V) = |H| + (V + 16)$$

で表される。優先順位評価値 $P(H, V)$ の値が小さい変位ベクトルに対しより高い優先順位が与えられる。この第3の優先順位判定基準に従えば、水平方向中央部において垂直方向最上端部（垂直方向変位ベクトル： V ベクトルの値が最も小さな変位ベクトル）に対し最も高い優先順位が与えられる。優先順位判定基準として上述のように3つの判定基準を設けることにより、以下に述べるように、動きベクトル検出のための垂直方向の探索範囲の拡張に容易に対応することができる。

【0233】図72(A)は、1つのチップCH1で動きベクトル検出装置が構成される状態を示す。この状態においては、第1の優先順位判定基準に従って変位ベクトルの優先順位の判定が行なわれる。この場合、図72

(B) に示すように、動きベクトル探索範囲 SAR においては、優先順位が $|H| + |V|$ に従って判定されるため、その中央部の変位ベクトル (ベクトル (0, 0)) が最も高い優先順位を与えられる。したがって、テンプレートブロックの真裏のサーチウィンドウブロックに対し最も高い優先順位が与えられることになる。動きベクトル探索範囲を垂直方向に 2 倍に拡張する場合には、図 73 (A) に示すように、2つの動きベクトル検出装置チップ CH2 および CH3 を用いる。動きベクトル検出装置チップ CH2 へは、探索範囲の上半分のサーチウィンドウ画素データ PYU が与えられ、この探索範囲の上半分について動きベクトル検出はこの動きベクトル検出装置チップ CH2 において行なわれる。動きベクトル検出装置チップ CH3 に対しては、探索範囲の下側半分のサーチウィンドウ画素データ PYL が与えられ、探索範囲の下側半分の領域についての動きベクトル検出が行なわれる。動きベクトル検出装置チップ CH2 および CH3 に対しては共通に同じテンプレートブロック画素データ PX が与えられる。動きベクトル検出装置チップ CH2 においては、第 2 の優先順位判定基準に従って変位ベクトルの優先順位判定が行なわれ、動きベクトル検出装置チップ CH3 においては、第 3 の動きベクトル判定基準に従って変位ベクトルの優先順位判定が行なわれる。

【0234】この場合、図 73 (B) に示すように、動きベクトル検出装置チップ CH2 においては、その探索範囲の水平方向中央部でかつ垂直方向最下端部の変位ベクトルに対し最も高い優先順位が与えられる。一方、動きベクトル検出装置チップ CH3 においては、探索範囲において水平方向中央部、垂直方向最上部の変位ベクトルに対し最も高い優先順位が与えられる。したがって、図 73 (A) に示す比較部 CMP で動きベクトル検出装置 CH2 および動きベクトル検出装置 CH3 が検出した動きベクトルからその評価関数値に従ってさらに最適ベクトルを判定することにより、拡張された動きベクトル探索範囲に対しても、真裏の位置の変位ベクトルに対し最も高い優先順位を与えた優先順位判定を行なった動きベクトル検出を行なうことができる。したがって動きベクトル探索範囲の垂直方向拡張時においても常に変位ベクトル (0, 0) を中心とする優先順位に従って動きベクトル検出を行なうことができ、テンプレートブロックにより近いサーチウィンドウブロックを予測画像ブロックとして指定する動きベクトル選択を行なうことができる。また、2つの動きベクトル検出装置チップを用いることにより、垂直方向の探索範囲が 2 倍に拡張された場合においても、2つの動きベクトル検出装置チップを並列に動作させることによりその動きベクトル検出に要す時間は拡張前において必要とされた処理時間と同じであり、高速処理が可能となる。

【0235】ここで、垂直方向についての動きベクトル

探索範囲は、2 倍に限らず、3 倍、4 倍と容易に拡張することができる。この動きベクトルの垂直方向探索範囲を拡張する場合、単位となる垂直方向の探索範囲が $-\alpha \sim +\alpha$ の場合、第 2 の優先順位判定基準は $P(H, V) = |H| + (-V + \alpha)$ と表現され、第 3 の優先順位判定基準は、 $|H| + (V + \alpha)$ で表される。この 3 つの優先順位判定基準それぞれを備える優先順位判定回路を、チップの用途に応じて別々に形成することはできるが、以下に説明するように、単に制御信号に従って、これらの 3 つの優先順位判定基準のうちの 1 つを利用することもできる。図 74 は、図 65 に示す優先順位判定回路の構成の一例を示す図である。

【0236】図 74 において、優先順位判定回路 690 は、処理中のサーチウィンドウブロックの変位ベクトルを示すデータ m_v を出力するカウンタ 684 および動きベクトル候補を格納するレジスタ 686 からのベクトル MV_a をタイミング信号 ϕ_{tim} に従って順次時分割的に選択するセクタ 701 と、セクタ 701 から与えられたベクトルのうち水平方向ベクトル成分を抽出してその絶対値を生成する H 絶対値回路 702 と、セクタ 701 から与えられたベクトルデータから垂直方向成分 V の絶対値を示すデータを生成する V 絶対値回路 703 と、セクタ 701 から与えられたベクトルの垂直方向ベクトル成分 V を抽出する V 抽出回路 704 と、セクタ 701 から与えられたベクトルの垂直方向成分の符号を反転した値、 $-V$ を生成する $-V$ 抽出回路 705 を含む。これらの回路 702 ~ 705 は、カウンタ 684 の出力するベクトル情報が、単に 2 進カウント値である場合、それぞれ内部に H 成分および V 成分を生成するデコード回路を備えていてもよい。またカウンタ 684 が、H 成分および V 成分をそれぞれ別々に生成する構成の場合には、単にこれらの回路 702 ~ 705 は対応の成分を受けて所望の演算処理を行なって必要とされるデータを生成する。また回路 703 および 705 は、V 抽出回路 704 の出力を受けるように構成されてもよい。この場合、V 絶対値回路 703 は、V 抽出回路 704 の出力するデータを受ける絶対値回路で置き換えられ、 $-V$ 抽出回路 705 は、V 抽出回路 704 の出力するデータの符号反転を行なう符号反転回路で置き換えられる。

【0237】優先順位判定回路 690 は、さらに、V 抽出回路 704 の出力する垂直成分データ V と $-V$ 抽出回路 705 の出力する符号反転された垂直方向成分 $-V$ の一方をモード指定信号 ϕ_{moda} に従って選択するセクタ 706 と、セクタ 706 の出力するデータと一定値 16 ($= \alpha$) を加算する加算器 707 と、V 絶対値回路 703 の出力するデータ $|V|$ と加算器 707 の出力するデータ $|V|$ の一方をモード指定信号 ϕ_{modb} に従って選択するセクタ 708 と、セクタ 708 の出力するデータと H 絶対値回路 702 の出力するデータを加算する加算器 709 を含む。セクタ 706 は、モード指定

信号 $\phi m o d a$ が第 2 の優先順位判定基準を指定するときには $-V$ 抽出回路 705 の出力するデータ $-V$ を選択し、信号 $\phi m o d a$ が第 3 の優先順位判定基準を指定するときには V 抽出回路 704 の出力するデータ V を選択する。セレクタ 708 は、モード指定信号 $\phi m o d b$ が第 1 の優先順位判定基準を指定するときには V 絶対値回路 703 の出力するデータ $|V|$ を選択し、第 2 または第 3 の優先順位判定基準を指定するときには加算器 707 の出力するデータを選択する。

【0238】優先順位判定回路 690 は、さらに、タイミング信号 $\phi t i m$ に従って加算器 709 の出力をその 2 出力の一方または他方へ伝達するマルチプレクサ 710 と、マルチプレクサ 710 の一方および他方出力にそれぞれ対応して設けられるレジスタ 711 および 712 と、レジスタ 711 および 712 の格納するデータの大小を比較する比較器 713 を含む。比較器 713 から更新制御信号 $\phi r w$ が生成される。このマルチプレクサ 710 は、タイミング信号 $\phi t i m$ に従って、時分割的に、この加算器 709 の出力データをレジスタ 711 および 712 へ格納する。すなわち、タイミング信号 $\phi t i m$ がカウンタ 684 のカウント値を選択する状態に設定されたとき、セレクタ 701 がカウンタ 684 のカウント値を選択し、一方、マルチプレクサ 710 は加算器 709 の出力をレジスタ 712 へ伝達する。一方、このタイミング信号 $\phi t i m$ がレジスタ 686 の出力するデータ $M V a$ を選択する状態に設定されたときには、マルチプレクサ 710 は、このタイミング信号 $\phi t i m$ に従って加算器 709 の出力するデータをレジスタ 711 に格納する。これにより、レジスタ 711 には、レジスタ 686 の格納する動きベクトル候補の優先順位判定基準値が格納され、レジスタ 712 には、カウンタ 684 の出力する現在処理中のサーチウィンドウブロックの変位ベクトルの優先順位評価基準値データが格納される。レジスタ 711 および 712 にそれぞれ優先順位評価基準値データが格納された後に比較器 713 が大小比較を行なう。処理中のサーチウィンドウブロックの変位ベクトルの優先順位評価基準値が、レジスタ 686 に格納されている動きベクトル候補の変位ベクトルの優先順位評価基準値よりも小さい場合には、比較器 713 から活性状態の更新制御信号 $\phi r w$ が出力される。

【0239】図 75 は、図 74 に示す優先順位判定回路の動作シーケンスの一例を示す図である。図 75 においては、1 つの優先順位判定動作サイクルのみを示す。モード指定信号 $\phi m o d a$ および $\phi m o d b$ は、それぞれ予め所定の状態に設定され、対応の動きベクトル検出装置が従うべき優先順位判定基準が設定される。レジスタ 686 の格納された動きベクトル候補の評価関数値とカウンタ 684 の出力する変位ベクトルの評価関数値とが等しいことが示されたとき、この優先順位判定回路が活性状態とされる。この活性状態とされたときにタイミン

グ信号 $\phi t i m$ が活性状態とされる。タイミング信号 $\phi t i m$ が時刻 $T a$ においてハイレベルに立上ると、セレクタ 701 がレジスタ 686 に格納されたそれまでに与えられている最小の評価関数値を備える動きベクトルデータを選択する。このレジスタ 686 からのデータに従って所定の優先順位評価基準値算出動作が行なわれ、時刻 $T a$ においてレジスタ 711 の格納データが確定状態とされる。

【0240】時刻 $T b$ においてタイミング信号 $\phi t i m$ がローレベルになると、セレクタ 701 がカウンタ 684 の出力するデータを選択する。このカウンタ 684 の出力するデータに従って所定の優先順位評価基準値算出判定動作が行なわれ、その算出された優先順位評価基準値がレジスタ 712 に時刻 $T b$ において格納される。レジスタ 712 の内容が確定すると、時刻 $T c$ において比較器 713 の比較動作が行なわれ、時刻 $T c$ においてこの比較器 713 から出力される更新制御信号 $\phi r w$ の状態が決定される。時分割多重で優先順位評価基準値を生成することにより、装置規模を低減することができる。

図 76 は、タイミング信号発生部の構成を示す図である。図 76 に示すように、タイミング信号発生回路 715 は、図 65 に示す比較器 682 からの等値指示信号 $\phi e q$ に応答して所定の期間活性状態／非活性状態となるタイミング信号 $\phi t i m$ を出力する。このタイミング信号発生回路 715 は、たとえばこの等値指示信号 $\phi e q$ に応答して動作可能状態とされる発振回路（たとえばリングオシレータ）で構成される。図 76 には、さらにこの等値指示信号 $\phi e q$ に応答して優先順位判定回路の各構成要素を活性状態とする活性制御信号 $\phi a c t$ を発生する活性制御回路 716 を示す。この活性制御回路 716 により、優先順位判定回路 690 は、優先順位判定動作が必要とされるときのみ動作状態とされ、消費電流を低減する。

【0241】なお図 74 に示す構成において、優先順位評価基準値を格納するレジスタ 711 および 712 の入力部に設けられるマルチプレクサ 710 を用いずに、レジスタ 711 および 712 へタイミング信号 $\phi t i m$ が直接与えられる構成が利用されてもよい（図 64 (A) の構成参照）。以上のように、この発明の第 8 の実施例の構成に従えば、動きベクトル探索範囲に応じて変位ベクトルの優先順位が変更可能となるように構成したため、垂直方向について動きベクトル探索範囲が拡張された場合においても、変位ベクトル (0, 0) に対する優先順位を最も高くして動きベクトル検出動作を行なうことが可能となり、最適な動きベクトルを、拡張された動きベクトル探索範囲においても選択することができる。

【0242】〔実施例 9〕図 77 は、この発明の第 9 の実施例である動きベクトル検出装置の全体の構成を概略的に示す図である。この図 77 に示す構成においては、フレームを単位として画素を符号化する場合の構成が示

される。図 77 において、動きベクトル検出装置は、サーチウィンドウ画素データ P Y とテンプレートブロック画素データ P X とを受け、与えられたデータ P Y および P X を、それぞれ所定のタイミングで出力する入力部 2 と、入力部 2 から与えられた画素データに基づいて複数の予測モード（本実施例では 3 つ）に従って複数の評価関数値（差分絶対値）を算出する整数精度演算部 1 と、この演算部 1 から与えられた評価関数値に従って複数の予測モードそれぞれに対して最適な動きベクトルを決定する比較部 3 を含む。整数精度演算部 1 は、先のたとえば図 1 等において説明した演算部と同じ構成を備える。この整数精度演算部 1 は、ブロック動きベクトル予測モード、奇数フィールドブロック予測モード、および偶数フィールドブロック予測モードに従って各サーチウィンドウブロックの変位ベクトルについての評価関数値を算出する。比較部 3 は、この整数精度演算部 1 から与えられた各予測モードに対する評価関数値それぞれの最小値に対応する変位ベクトルを予測モードそれぞれの動きベクトルと決定する。

【0243】動きベクトル検出装置は、さらに、比較部 3 における最小値検出に回答して、その最小値の評価関数を与える変位ベクトルにより表現されるサーチエリア内の領域（予測画像領域）を検出し、この予測画像領域を水平および垂直両方向に 1 画素ずつ拡張された分数精度（ $1/2$ 画素精度）評価用予測画像領域を格納する分数精度予測画像メモリ 722 と、整数精度演算部 1 から与えられるテンプレートブロック画素データを格納するテンプレートブロックメモリ 724 を含む。予測画像メモリ 722 は、複数の予測モードそれぞれに対する予測画像領域画素データを格納する。すなわち、予測画像メモリ 722 においては、テンプレートブロックおよびサーチウィンドウブロックのサイズが 16 行・16 列の画素であるとき、ブロック予測モードに従って決定された動きベクトルにより指定されるサーチウィンドウブロックを含む 18 行・18 列の画素データを格納する領域と、奇数フィールドブロック予測モードおよび偶数フィールドブロック予測モードそれぞれに従って決定された動きベクトルが指定する領域の奇数フィールド画素および偶数フィールド画素それぞれに対応する 16 列・8 行を囲む 18 列・10 行の予測画像領域の画素データを格納する領域を備える。

【0244】動きベクトル検出装置は、さらに、テンプレートブロックメモリ 724 に格納されたテンプレートブロック画素データと予測画像メモリ 722 に格納されたブロック予測モードにより決定された予測画像ブロックに含まれる画素データとを受け、分数精度（ $1/2$ 画素精度）で所定の演算処理を行ない分数精度（ $1/2$ 画素精度）での各変位ベクトルに対する評価関数値を生成する $1/2$ 画素精度演算部 726 と、テンプレートブロックメモリ 724 に格納されたテンプレートブロック画

素データと予測画像メモリ 722 に格納された奇数フィールドブロック予測モードに対応する予測画像領域の画素データおよび偶数フィールドブロック予測モードにより決定された予測画像領域に含まれる画素データとを受けてそれぞれ $1/2$ 画素精度で所定の演算を行なって評価関数値を生成する $1/2$ 画素精度演算部 738 と、 $1/2$ 画素精度演算部 726 から出力される評価関数値の最小値を求めることによりブロック動きベクトル予測モードによる分数精度での動きベクトルを決定する比較部 730 と、 $1/2$ 画素精度演算部 738 からの評価関数値に従って最小値を検出し、奇数フィールドブロック予測モードおよび偶数フィールドブロック予測モードそれぞれに対する動きベクトルを検出する比較部 732 を含む。 $1/2$ 画素精度演算部 738 は、奇数フィールドブロック予測モードによる動き分数精度での動きベクトル検出動作と偶数フィールドブロック予測モードに従う動きベクトル検出動作を時分割的に実行する。この動作については後に詳細に説明する。動きベクトル検出装置は、さらに比較部 3 から出力される複数の予測モードそれぞれに従って決定された動きベクトルと比較部 730 および 732 から与えられる分数精度での複数の予測モードそれぞれに対応する動きベクトルとを受け、ブロック予測モードに従うブロック動きベクトル V B、奇数フィールドブロック予測モードに従って決定された動きベクトル V o、および偶数フィールドブロック予測モードに従って決定された動きベクトル V e を出力する。セレクタ 734 が設けられているのは、比較部 732 から時分割的に奇数フィールドブロック予測モードによる動きベクトル V o および偶数フィールドブロック予測モードに従う分数精度の動きベクトルが与えられるためである。

【0245】図 78 に示すように、 $1/2$ 画素精度での動きベクトル検出時においては、整数精度演算部 1 により複数の予測モードそれぞれに対して決定された動きベクトルを中心とするその 8 近傍点の評価関数値を算出する。この整数精度での動きベクトル位置の評価関数値を含む 9 近傍の評価関数値のうち最小の評価関数値を与えるベクトルを動きベクトルと決定する。すなわち、評価点 $(-1/2, -1/2)$ 、 $(0, -1/2)$ 、 $(+1/2, -1/2)$ 、 $(-1/2, 0)$ 、 $(0, 0)$ 、 $(1/2, 0)$ 、 $(-1/2, 1/2)$ 、 $(0, 1/2)$ 、および $(1/2, 1/2)$ の 9 評価点を用いて動きベクトル決定動作を行なう。図 79 は、この $1/2$ 画素精度で動きベクトル検出操作を行なう際に用いられる予測画像領域の画素の分布を示す図である。図 79 に示すように、動きベクトルが指定する予測画像領域 742 から正および負の水平方向ならびに正および負の垂直方向それぞれに 1 画素ずつ拡張された領域 740 に含まれる画素データが用いられる。この領域 740 に格納される画素データ（図 79 において○印で示す）から $1/2$

画素精度での演算精度に用いられるための画素データが生成される(図79に×印で示す)。1/2画素精度での変位ベクトルの評価関数値算出時においては、図79に示す×印で表わされる画素データのみが用いられる。この×印で示す画素データとテンプレートブロック画素データとにより図78に示す変位ベクトルそれぞれに対する評価関数値が生成される。

【0246】ここで、領域740は、テンプレートブロックのサイズが16行・16列の画素を含む場合、18行・18列の画素を含む。偶数フィールドブロック予測モードおよび奇数フィールド予測モード時においては、テンプレートブロックは8行・16列のサイズを備える。したがってこの場合には領域740は、10行・16列の画素を含む。図80は、図77に示す予測画像メモリ722の1つの予測画像領域の画素データを格納するメモリの構成を示す図である。以下の説明においては、ブロック予測モードに従って決定された動きベクトルに対応する予測画像領域の画素データを格納する記憶装置の構成および動作について説明する。これは、容易に偶数フィールド予測モードおよび奇数フィールド予測モードの予測画像領域の画素データを格納する記憶装置の構成に適用することができる。

【0247】図80において、予測画像メモリ722は、整数精度演算部1から与えられるサーチウィンドウ画素データPYを所定時間遅延する遅延回路721と、この遅延回路721から出力される画素データを格納するメモリ772と、メモリ772のデータの書込および読出を制御する書込/読出制御回路774を含む。メモリ772の出力ノードDOは、図77に示す1/2画素精度演算部726に接続される。メモリ772は、スタティック・ランダム・アクセスメモリであってもよく、またダイナミック・ランダム・アクセスメモリであってもよい。ダイナミック・ランダム・アクセス・メモリの場合、ページモードまたはスタティックコラムモードなどの高速アクセスモードが用いられる。書込/読出制御回路774は、メモリ772への書込アドレスを発生する書込アドレス発生回路781と、メモリ772の読出アドレスを発生する読出アドレス発生回路783と、このメモリ772の読出モードおよび書込モードを指定する信号を発生する制御回路786と、この制御回路786の制御の下に、書込アドレスおよび読出アドレスの一方を選択してメモリ772のアドレス入力ノードAへ与えるセレクタ784を含む。

【0248】書込アドレス発生回路781は、図77に示す比較部3の出力するラッチ指示信号Rφにตอบสนองして書込アドレスを発生する。このラッチ指示信号Rφは、比較部3において、そこに格納されている動きベクトル候補の評価関数値およびベクトルの更新が行なわれるときに活性状態とされる(たとえば図65の比較部に含まれる更新制御回路688の更新制御信号に対応する)。

このラッチ指示信号Rφが活性状態とされたときには、書込アドレス発生回路781の書込アドレスは初期値にリセットされる。書込アドレス発生回路781は、たとえば0番地から順次書込アドレスをクロック信号φckにตอบสนองして発生する。このクロックφckは整数精度演算部1におけるサーチウィンドウ画素データのシフト動作を行なうために用いられる信号である。読出アドレス発生回路783も、同様に、0番地から順次読出アドレスを発生する。セレクタ784は、制御回路786がデータ書込を指示している場合には、書込アドレス発生回路781からの書込アドレスを選択してメモリ772へ与える。制御回路786が、読出モードを指示している場合には、セレクタ784は読出アドレス発生回路783からの読出アドレスを選択してメモリ772へ与える。

【0249】制御回路786は、サーチウィンドウ画素データ転送クロック信号φckにตอบสนองしてメモリ772へのデータ書込のタイミングおよびデータの読出タイミングを決定する信号を発生する。制御回路786は、また、動作モード指示信号φRWにตอบสนองして、メモリ772の書込動作モードおよび読出動作モードを指定し、かつメモリ772を選択状態とするチップイネーブル信号(チップセレクト信号)を発生する。制御回路786へ与えられる動作モード指示信号φRWは、外部に設けられたコントローラから与えられてもよい。また、たとえば比較部3に含まれる変位ベクトル情報生成用のカウンタがカウントアップを行なったときにカウントアップ信号を発生し、このカウントアップ信号を動作モード指定信号φRWとして利用してもよい。比較部3に含まれる変位ベクトル情報生成のためのカウンタのカウント値が所定のカウンタ値に達するまでは1つのテンプレートブロックに対する評価関数値の導出が持続的に実行されているためである。動きベクトル検出動作期間中は、メモリ772への書込動作を行ない、1つのテンプレートブロックについての動きベクトルが決定したとき、整数精度演算部においては新たなテンプレートブロック画素データが格納されるため、これと並行して次のテンプレートブロックに対するサーチウィンドウの画素データが格納されるため(1つのテンプレートブロックについての評価関数値のみが生成される場合)、このとき並行してメモリ772から画素データを読出す構成とすれば、整数精度演算部への所望のデータロード時にこの予測画像メモリ722から予測画像領域のデータを読出すことができる。次に動作について説明する。

【0250】今、図81に示すように、サーチウィンドウが、48画素行・16列画素の大きさを備え、マクロブロック(テンプレートブロックおよびサーチウィンドウブロック)が16画素行・16画素列の大きさを備える場合を考える。サーチウィンドウブロック742について評価関数値算出動作が行なわれているとする。この

サーチウィンドウブロック 742 に対する分数精度の動きベクトルを求めるために必要とされる領域は、この領域 742 を含む 18 画素・18 画素の領域 748 である。ここでは、ブロック予測モードに従った動きベクトル検出動作について説明する。領域 748 は、サーチウィンドウ画素データ P0 ~ P325 を含む。図 82 に示すように、サーチウィンドウデータ転送用クロック信号 ϕck は、サーチウィンドウ画素データの各転送時に発生される。クロック信号 ϕck が 1 つ発生されると、サーチウィンドウ画素データが、1 画素分シフトアウトされる。サーチウィンドウブロック 742 に対する評価関数値算出動作時には、図 80 に示す遅延回路 721 の出力データは、画素 P0 に対応するデータである。ここで、遅延回路 721 は、サーチウィンドウ 740a の 1 列の画素転送に要する時間に等しい遅延時間を与える。サーチウィンドウブロック 742 の評価関数値がそれまでに得られている評価関数値のうちで最小である場合には、比較部からラッチ指示信号 $R\phi$ (評価関数値更新指示信号) が発生される (活性状態とされる)。このラッチ指示信号 $R\phi$ に応答して、図 80 に示す書込アドレス発生回路の書込アドレスが初期値 0 にリセットされる。このリセットされた初期値 0 のアドレスに画素データ P0 が書込まれる。以降、信号 $R\phi$ が活性状態とされない限り、連続して 18 画素のデータ、すなわち P1 ~ P17 がメモリ 772 のアドレス 1 ~ 17 の位置に格納される。次に、不要データの書込を禁止するために、書込アドレス発生回路 781 は、30 クロック期間、すなわち、30 ϕck の期間休止状態となり、メモリ 772 は書込禁止状態となる。この書込禁止の休止期間は、制御回路 786 が、活性状態のラッチ指示信号 $R\phi$ が与えられてから 18 回クロック信号 ϕck をカウントした後 30 ϕck 期間メモリ 772 を非選択状態とする構成が利用される。ただしこの間においては、ラッチ指示信号 $R\phi$ は活性状態とされていないものとする。このいずれかの期間においてラッチ指示信号 $R\phi$ が活性状態とされた場合には、先に説明したように、書込アドレス発生回路 781 の書込アドレスは初期値 0 にリセットされる。

【0251】30 クロック期間 (30 ϕck サイクル期間) が経過すると、再び書込アドレス発生回路 781 が書込アドレスを発生する。このときの書込アドレスは、アドレス 18 であり、このアドレス 18 の位置に画素データ P18 が格納される。この画素データ P18 が遅延回路 721 (図 80 参照) から与えられる場合には、サーチウィンドウ 740a が、次の列のサーチウィンドウ 740b に移行している。テンプレートブロック変更時には、サーチエリアは、1 マクロブロックサイズ (16 列) 正の水平方向へシフトする。したがって、動きベクトルを与えるマクロブロックがサーチエリアの境界に接している場合においても、分数精度の動きベクトル検出に必要な画素データはすべて得ることができる。この場

合、後に説明するようにサーチエリア外部の画素データは無視される構成が利用されてもよい。また、テンプレートブロック変更時には、同様サーチウィンドウ画素データがシフトアウトされる。このとき、メモリ 772 への書込動作を禁止しておけば、次のテンプレートブロックの最初の変位ベクトル動作検出完了後、遅延回路 721 からは、サーチエリアの 1 列前の先頭の画素データが出力される。したがって、特に遅延回路 721 においては、その内容をテンプレートブロック更新時にリセットする必要なく、整数精度演算部から出力されるサーチウィンドウ画素データをそのまま利用することができる。

【0252】上述の一連の動作により、メモリ 772 には、常に、動きベクトル候補となる変位ベクトルに対応するサーチウィンドウブロックの画素データのみが格納される。奇数フィールド画素データおよび偶数フィールド画素データを格納する場合には、同様の構成を用いて、図 83 に示すように、クロック信号 ϕck の 1 サイクルおきにクロック信号 ϕcka および ϕckb が発生されて、それぞれが奇数フィールド画素データおよび偶数フィールド画素データを書込むためのクロック信号として利用されればよい。偶数フィールド用書込アドレス発生回路と奇数フィールド画素データのための書込アドレス発生回路へは、それぞれ、奇数フィールド予測モードに従って動きベクトル検出動作を行なう比較部からのリセット信号 $R\phi$ が与えられ、また偶数フィールド予測モードに従って動きベクトル検出を行なう比較部からリセット信号 $R\phi$ が与えられる。この構成により、複数の予測モードそれぞれに従って所望の分数精度での動きベクトル検出に必要な画素データを格納することができる。

【0253】テンプレートブロックメモリ 724 へは、整数精度演算部 1 からそのテンプレートブロック画素データ更新時に順次出力されるテンプレートブロック画素データが順次格納される。図 84 は、図 77 に示す 1/2 画素精度演算部 726 および 738 の構成の一例を示す図である。図 84 においては、1/2 画素精度演算部 726 および 738 が同じ構成を備えるため、1/2 画素精度演算部 726 の構成のみを示す。図 84 において、1/2 画素精度演算部 726 は、予測画像メモリ 722 から与えられるサーチウィンドウ画素データを受けて分数精度の評価値算出に必要な予測画像を生成する分数精度予測画像生成回路 802 と、分数精度予測画像生成回路 802 で生成された予測画像の画素データとテンプレートブロックメモリ 724 から与えられるテンプレートブロック画素データ PX との差分絶対値和を求める差分絶対値和回路 804 と、差分絶対値和回路 804 の出力値のうち最小の差分絶対値和を与える変位ベクトルを検出する比較部 806 を含む。

【0254】分数精度予測画像生成回路 802 は、複数

の予測画像データを並列に生成する。この構成については後に詳細に説明する。差分絶対値和回路 804 も、また、動きベクトル候補となる変位ベクトルに対する評価値を並列態様で生成する。比較部 806 は、差分絶対値和回路 804 から与えられる複数の差分絶対値和と図 77 に示す比較部 3 における整数精度での動きベクトルの評価関数値のうち最小の値に対応する変位ベクトルを動きベクトルと決定する。次に、この図 84 に示す各回路の具体的構成について説明する。1/2 画素精度での動きベクトル検出のためには、図 85 に示すように、着目画素 P に対し、その 8 近傍 Q1~Q4 および Q6~Q9 の画素データを補間により求める必要がある。サーチウィンドウ画素データを P1~P9 とし、この水平方向隣接列画素間の転送期間を Th とし、隣接行間における遅延時間を Hv (18Th: 分数精度におけるサーチウィンドウブロックサイズが 18 画素×18 画素の場合) とする。分数 1/2 画素精度演算部 726 および 738 に対しては、図 85 に示す画素 P1~P9 に対応するデータが与えられ、内部で補間データ Q1~Q9 が生成される。

【0255】図 86 は、図 77 に示す 1/2 画素精度演算部の具体的構成を示す。1/2 画素精度演算部 726 (または 738) は、与えられたサーチウィンドウ画素データを 1Hv 期間遅延する遅延回路 835a と、この遅延回路 835a の出力するデータをさらに 1Hv 期間遅延する遅延回路 835b を含む。この 2 段の縦続接続された遅延回路 835a および 835b により、図 85 に示す各行に対応するデータを発生する経路が形成される。1/2 画素精度演算部 726 (または 738) は、さらに、入力サーチウィンドウ画素データ P を 1Th 期

間遅延する遅延回路 836a と、この遅延回路 836a の出力データをさらに 1Th 期間遅延する遅延回路 836d と、1Hv 遅延回路 835a の出力データを 1Th 期間遅延する遅延回路 836b と、遅延回路 836 の出力データを 1Th 期間遅延する遅延回路 836e と、1Hv 遅延回路 835b の出力データを 1Th 期間遅延する遅延回路 836c と、遅延回路 836c の出力データを 1Th 期間さらに遅延する遅延回路 836f を含む。これらの 1Th 遅延回路 836a~836f により、補間に必要とされるサーチウィンドウ画素データが生成される。

【0256】1/2 画素精度演算部 726 (または 738) は、さらに、入力サーチウィンドウ画素データ P と 1Th 遅延回路 836a の出力データを加算しかつ係数 (1/2) を乗算する加算シフト回路 830a を含む。加算シフト回路 830a は、係数 (1/2) の乗算を、1ビット下位方向への画素データビットのシフト動作により実現する。この 1/2 画素精度演算部 726 (または 738) は、さらに、1Th 遅延回路 836a の出力データと 1Th 遅延回路 836e の出力データに対し加

算シフト動作を実行する加算シフト回路 830b と、1Th 遅延回路 836b の出力データと 1Th 遅延回路 836e の出力データとに対し加算シフト動作を実行する加算シフト回路 836c と、1Th 遅延回路 835a の出力データと 1Th 遅延回路 836b の出力データとに対し加算シフト動作を実行する加算シフト回路 830d と、1Th 遅延回路 835b の出力データと 1Th 遅延回路 836c の出力データとに対し加算シフト動作を実行する加算シフト回路 830e と、1Th 遅延回路 835c の出力データと 1Th 遅延回路 836f の出力データとに対し加算シフト動作を実行する加算シフト回路 830f とを含む。これらの加算シフト回路 830a~830f により、4 画素間の補間データを生成するためのデータが生成される。

【0257】1/2 画素精度演算部 726 (または 738) は、さらに、加算シフト回路 830a の出力データと加算シフト回路 830d の出力データとに対し加算シフト動作を実行する加算シフト回路 830g と、1Th 遅延回路 836a の出力データと 1Th 遅延回路 836b の出力データとに対し加算シフト動作を実行する加算シフト回路 830h と、加算シフト回路 830b の出力データと加算シフト回路 830c の出力データとに対し加算シフト動作を実行する加算シフト回路 830i と、1Th 遅延回路 836b の出力データと 1Th 遅延回路 835a の出力データとに対し加算シフト動作を実行する加算シフト回路 830j と、1Th 遅延回路 836e の出力データと 1Th 遅延回路 836b の出力データとに対し加算シフト動作を実行する加算シフト回路 830k と、加算シフト回路 830d の出力データと加算シフト回路 830e の出力データとに対し加算シフト動作を実行する加算シフト回路 830l と、1Th 遅延回路 836b の出力データと 1Th 遅延回路 836c の出力データとに対し加算シフト動作を実行する加算シフト回路 830m と、加算シフト回路 830c の出力データと加算シフト回路 830f の出力データとに対し加算シフト動作を実行する加算シフト回路 830n とを含む。これら加算シフト回路 830g ないし 830n から、図 85 に示す補間画素データ Q9~Q6 および Q4~Q1 の位置にある画素データが生成される。

【0258】差分絶対値和回路 804 は、加算シフト回路 830g~830l の出力 Q9~Q6 および Q4~Q1 とテンプレートブロック画素データ A とを受け、与えられた信号の差分絶対値和を求める差分絶対値和回路 804a~804h を含む。サーチウィンドウブロック画素データ P とテンプレートブロック画素データ A とは真裏の状態の関係にある。差分絶対値和回路 804a~804h はそれぞれ変位ベクトル (分数精度での) に対応しており、それぞれ固有のコードが付されている。比較部 806 へ、また整数精度での検出された動きベクトルに対応する評価関数値 e v m が与えられる。比較部 80

6は、この差分絶対値和回路804a~804hの出力および評価関数値e v mを受けて、最小の値を与える差分絶対値和を検出し、この最小の差分絶対値和に対応する変位ベクトルを分数精度での動きベクトルと決定する。

【0259】図86に示す構成において、差分絶対値和回路が、1または4つだけ設けられ、時分割的に活性化されて加算シフト回路830g~830nの出力データが順次加算および累算される構成が利用されてもよい。また、上述の構成においては、1/2画素精度で動きベクトルを検出している。1/4画素精度などのより細かな分数精度の動きベクトルを検出する構成が利用されてもよい。また、評価点は9点であるが、さらに多くの評価点が利用される構成が用いられてもよい。図87は、この発明の第9の実施例における動きベクトル検出装置の動作シーケンスを示す図であり、横軸に時間を示す。整数精度演算部1および比較部3においてN番目のブロック（テンプレートブロック）についての処理を行ない、動きベクトル検出動作が行なわれる。このテンプレートブロックNの整数精度での検出された動きベクトルに従って、1/2画素精度での動きベクトル検出が行なわれる。テンプレートブロックNについてのフレームの分数精度での動きベクトル検出動作が行なわれ、これと並行してテンプレートブロックN（サブテンプレートブロック）の奇数フィールドについての分数精度での動きベクトル検出が行われる。奇数フィールドの分数精度での動きベクトル検出が完了すると、次いでこのブロックNの偶数フィールドの動きベクトルが分数精度で検出される。

【0260】一方、整数精度演算部1においては、次のテンプレートブロックN+1についての整数精度での動きベクトル検出動作が実行される。このブロックN+1についての動きベクトル検出動作が完了すると、再びブロックN+1についてのフレームおよび奇数フィールドについての分数精度での動きベクトル検出動作が実行される。奇数フィールドの分数精度での動きベクトル検出が完了すると、偶数フィールドについての分数精度での動きベクトル検出動作が実行される。上述のように整数精度演算部1の動作と1/2画素精度演算部726および738の動作をパイプライン化することにより整数精度演算部1の動作と1/2画素精度演算部726および738の演算動作を互いに時間的に切離して実行することができ、演算動作に対するタイミング要件に余裕を持って、分数精度での動きベクトル検出を実行することができる。また、この場合においても、整数精度演算部1と、1/2画素精度演算部726および738とは互いに並列に動作しており、高速で分数精度での動きベクトル検出を行なうことができる。

【0261】なお、整数精度演算部1における整数精度での動きベクトル検出動作時には、サーチウィン

ドウ画素データがそこから出力される。この場合、1/2画素精度演算部738が評価関数値算出動作を行なっているときに、予測画像メモリ722のサーチウィンドウ画素データが整数精度演算部1から与えられるサーチウィンドウ画素データにより書替えられることが考えられる。この場合、整数精度演算部1と予測画像メモリ722との間にバッファメモリを設けておけば、予測画像メモリ722の格納データが1/2画素精度演算部738において利用されているときに、整数精度演算部1から与えられるサーチウィンドウ画素データによりこの予測画像メモリ722の格納画素データが書替えられるのが防止され、確実に分数精度での演算操作を行なうことができる。またこのようなバッファを設けておけば、整数精度での演算と分数精度での演算とのタイミング条件を緩和することができ、余裕を持って整数精度の演算および分数精度の演算をそれぞれ並列態様で実行することができる。

【0262】なお、上述の実施例においては、予測モードとしてはブロック予測モード、偶数フィールド予測モードおよび奇数フィールド予測モードを想定している。しかしながら、フィールド単位での画素の符号化が行なわれる場合、ブロック予測モード、上半分予測モードおよび下半分予測モードに従って動きベクトルを検出することができ、このような予測モードに対してもこの第9の実施例の構成はそのまま利用することができる。上半分ブロック予測モードおよび下半分ブロック予測モードに対する画素データの予測画像メモリへのデータの書込の期間が変更を受けるだけである。以上のように、この発明の第9の実施例の構成に従えば、整数精度演算部から与えられるテンプレートブロック画素データおよびサーチウィンドウ画素データを用いて分数精度での動きベクトル検出を行なうように構成しているため、複数の予測モードそれぞれに対して分数精度での動きベクトルを行なうことができ、より最適な動きベクトルを選択することができ、精度の高い動きベクトル検出を行なうことができる。

【0263】【実施例10】図88は、現画面を5×5の25個のマクロブロック（テンプレートブロック）MB(0,0)~MB(4,4)に分割した際のテンプレートブロックの位置を示す図である。テンプレートブロックの位置を、符号MBの下に、左上のテンプレートブロックを原点として水平および垂直方向に正の方向に沿ったベクトルで示す。テンプレートブロックMB(0,0)~MB(4,4)はそれぞれ16画素行・16画素列の構成を備える。動きベクトル検出動作時には、現画面画像のテンプレートブロックすべてについて動きベクトル検出が行なわれる。各テンプレートブロックについて動きベクトル探索範囲は同じに設定される。この場合、たとえば図89に示すように、テンプレートブロックMB(0,0)に対しては、その破線で囲む領

域 10 には、サーチウィンドウ画素が存在しない。したがってこの領域 810 に含まれる画素を対象とする動きベクトル検出動作は禁止する必要がある。以下にこの発明の第 10 の実施例である、動きベクトル探索範囲を限定する方法および構成について説明する。

【0264】図 90 は、処理単位として利用される探索範囲の構成を示す図である。単位探索範囲は、水平方向 16 変位、垂直方向 33 変位に設定される。この単位探索範囲における動きベクトル評価関数値算出に必要とされるサイクルは 1 処理時間 T ($33 \cdot 16 = 768$ サイクル) である。この単位探索範囲において、全禁止信号 I_{a1} が与えられたとき、その探索範囲における変位ベクトルの評価が禁止される（水平方向および垂直方向いずれについても）。図 91 (A) に示すように、上半分禁止信号 I_{uph} が活性状態とされたとき、単位探索範囲 812 における上半分の領域、すなわち垂直方向のベクトル (V ベクトル) が -1 の値 ($-1 \sim -16$) の領域における変位ベクトル評価が禁止される。また下半分禁止信号 I_{lwh} が活性状態とされたとき、単位探索範囲 812 における下半分の領域 8121、すなわち垂直方向変位が $1 \sim +16$ の正の領域における評価が禁止される。

【0265】図 91 (B) に示すように、 $1/2$ 画素精度の評価時においては、上半分禁止信号 I_{uph} が与えられたとき、その垂直方向のベクトル $-1/2$ を有する変位ベクトルが探索範囲から除外される。同様、下半分禁止信号 I_{nwh} が活性状態とされたとき、 $1/2$ 画素精度動きベクトル評価時において、垂直方向変位ベクトルが $+1/2$ の領域は評価対象から排除される。図 92 に示すように、左半分禁止信号 I_{lfh} が与えられたとき、整数精度での動きベクトル評価時においては、この単位探索範囲における変位ベクトルの評価はすべて行なわれる。しかしながら、 $1/2$ 画素精度での動きベクトル算出時において、整数精度での動きベクトルがこの単位探索範囲 812 の一番左端の領域 8121 に存在する場合、水平方向 $-1/2$ のベクトル成分 (H ベクトル) を有する変位ベクトルの評価が除外される。

【0266】垂直成分 $-1/2$ を生成するための画素はこの探索範囲領域 812 の外部に存在し、所望の補間画素データを生成することができないためである。同様、図 93 に示すように、右半分禁止信号 I_{rth} が活性状態とされたとき、探索範囲 812 において水平方向について左端の領域 812r のベクトルのみを評価対象として動きベクトル検出を行なう。領域 812r のベクトルが最適ベクトルすなわち動きベクトルとして選択された場合、分数精度 ($1/2$ 画素精度) 演算部において水平正方向の分数精度ベクトル ($1/2$ 画素精度ベクトル) は評価対象から除外される。5 種類の禁止信号 I_{a1} 、 I_{uph} 、 I_{lwh} 、 I_{lfh} および I_{rth} を用いることにより、1 つのテンプレートブロックについての動

きベクトル探索範囲を正確な画素データのみが存在する領域に設定することができる。次に、動きベクトル探索範囲制限の具体的動作について説明する。

【0267】まず、水平方向 16 変位、垂直方向 33 変位の範囲を単位探索範囲とする。整数精度演算部の構成は第 4 の実施例の場合と同様とする。すなわち 16 行・16 列に配置された要素プロセッサと、各々が 32 画素のデータを格納するデータバッファ列とを用いて整数精度での動きベクトル探索動作を行なう。この場合、処理単位時間 T は、 $16 \times (16 + 32) = 768$ サイクルである。今、水平方向探索範囲を上述のごとく $-16 \sim +15$ 、垂直方向探索範囲を $-16 \sim +16$ とする。この場合、整数精度変位ベクトルは水平方向成分 H として $-16 \sim +15$ を含み、これらの整数精度変位ベクトルに対する評価には、2 処理単位時間、2 T 必要とされる。また、このとき、分数精度演算部は、 $1/2$ 画素精度で動きベクトル検出動作を行なうものとする。

【0268】今、図 88 に示す現画面左上端のテンプレートブロック $MB(0, 0)$ に対する動きベクトル検出を行なう場合を考える。この場合、テンプレートブロック $MB(0, 0)$ の左側および上側領域には画素は存在しない。したがってこれらの領域に対する動きベクトル評価を以下の様にして排除する。図 94 に示すように、最初の処理単位時間 T において、水平方向 $-16 \sim -1$ の範囲において動きベクトル探索が行なわれる。この処理時間内においては、図 95 (A) に示すように、領域 815 には、画素データが存在しないため、この領域 815 における動きベクトル探索動作は禁止される。すなわち、全禁止信号が発生され、領域 815 における変位ベクトルの評価が禁止される。次の処理単位時間 T においては、水平方向変位 $0 \sim +15$ の領域における変位ベクトルの評価が行なわれる。この場合、図 95 (B) に示すように、領域 816 において、垂直方向の変位が $-1 \sim -16$ の領域 817a には画素は存在しない。したがってこの場合にはまず、領域 817a における変位ベクトルが評価対象から除外される。また、 $1/2$ 画素精度での動きベクトル検出を行なう場合、領域 817b における画素のみを用いる必要がある。したがって、 $1/2$ 画素精度での予測画像作成時において、水平方向変位が $-1/2$ の変位ベクトルに対しては画素データが存在しないため、この領域に対する分数精度での変位ベクトル評価は禁止される。したがって、このときには、左禁止信号が活性状態とされる。これにより、全探索範囲において、現画面内に存在する画素データのみを用いて動きベクトル検出を行なうことができる。

【0269】図 96 は、テンプレートブロック $MB(0, 0)$ に対する分数精度 ($1/2$ 画素精度) での動きベクトル探索時の動作を示すフロー図である。まず、整数精度での動きベクトル (H , V) が検出される (ステップ S1)、次いで、ステップ S2 および S3 におい

て、この動きベクトル (H, V) の水平成分HおよびVが0であるか否かの判別が行なわれる。ステップS 2において、整数精度動きベクトルの水平成分Hが0であると判定されたとき、左禁止信号が与えられているため、ステップS 4において、分数精度予測時において、水平方向負成分 (水平方向 $-1/2$) の変位ベクトルは評価対象から除外される。一方、ステップS 3において、垂直成分Vが0であると判定されたとき、現画面の最上端部のマクロブロックを中心として分数精度予測画像が生成されるため、このとき現画面に含まれない画素を含む垂直方向負成分 ($-1/2$) の変位ベクトルは、評価対象から除外される (ステップS 5)。水平成分Hおよび垂直成分Vがともに0でない場合には、整数精度の動きベクトルを中心として分数精度の変位ベクトルすべてが評価対象とされる (ステップS 6)。

【0270】現画面上端のブロックをテンプレートブロックMB (1, 0)、MB (2, 0)、およびMB

(3, 0) に対しては、垂直成分Vが負の変位ベクトルに対する評価が禁止される。したがって、図97に示すように、全評価期間において、上禁止信号のみが活性状態とされる。現画面の上右端のテンプレートブロックMB (4, 0) に対しては、図98 (A) に示すように、最初の処理単位時間において、上禁止信号が活性状態とされる。この状態においては、図98 (B) に示すように、最初の探索領域815において、上半分の領域817c (垂直方向変位が負の領域) における動きベクトル探索動作が禁止される。次の処理単位時間においては、上禁止信号および右禁止信号がともに活性状態とされる。この状態においては、図98 (C) に示すように、次の探索領域816において、上半分領域817aにおける変位ベクトルの評価が禁止される。下側の領域 (垂直成分Vが0以上の領域) 817bにおいては、この領域817bの左端の領域に存在する変位ベクトルに対してのみ評価が行なわれる。すなわち、 $H=0$ かつ $V \geq 0$ の変位ベクトル (H, V) に対する評価動作のみが行なわれる。これにより、テンプレートブロックMB (4, 0) に対する整数精度での、画面画像画素データのみを用いた動きベクトルが決定される。次いで、この決定された整数精度の動きベクトルに従って、分数精度での動きベクトルが決定される。この分数精度での動きベクトル検出動作は、図99に示す処理ステップを含む。

【0271】図99のステップS 20~S 22に示すように、最初の処理単位時間において、垂直方向の変位ベクトルを除外して動きベクトル探索が行なわれ、次の処理単位時間において、水平成分Hが0でありかつ垂直成分Vが0以上の変位ベクトルに対する評価が行なわれる。このステップS 20およびS 22により、整数精度での動きベクトル (H, V) が決定される (S 22)。次いで分数精度での動きベクトル検出が行なわれる。ステップS 23およびS 24において、この整数精度の動

きベクトル (H, V) の水平成分Hおよび垂直成分Vが0に等しいか否かの判定が行なわれる。ステップS 23において、水平成分Hが0であると判定された場合、現画面右端に位置するサーチウィンドウブロックを予測画像として用いる必要がある。この場合、正の分数精度の水平成分すなわち、水平成分 $+1/2$ の変位ベクトルを除外して分数精度での動きベクトルの探索が行なわれる (ステップS 25)。一方、垂直成分Vが0であると判定された場合、 $V=-1$ の動きベクトルに対応する画素は現画面に含まれていないため、分数精度で負の垂直成分 ($-1/2$) の変位ベクトルを除外して分数精度での動きベクトルの探索が行なわれる。水平成分Hおよび垂直成分Vがともに0の場合には、ステップS 25およびS 26の動作がともに行なわれる。整数精度動きベクトル (H, V) の水平成分Hおよび垂直成分Vがともに0と異なる場合には、整数精度の動きベクトル (H, V) を中心として、分数精度の全探索範囲において動きベクトルの探索が行なわれる (ステップS 27)。

【0272】現画面左端のテンプレートブロックMB (0, 1)、MB (0, 2)、およびMB (0, 3) に対しては、最初の処理単位時間においては、全禁止信号が活性状態とされ、水平方向変位 $-16 \sim -1$ の領域における変位ベクトルは評価対象から除外される。次の処理単位時間においては、左禁止信号が活性状態とされる。整数精度での動きベクトル探索時においては、水平方向変位 $0 \sim +15$ におけるすべての変位ベクトルに対する評価が行なわれる。分数精度での動きベクトル検出時の動作時には、図96に示すステップS 2、S 4、およびS 6が行なわれる。現画面の中央部のテンプレートブロックMB (i, j ($i \neq 0, j \neq 0$))) に対しては、図101に示すように、2処理単位時間の間、探索範囲におけるすべての変位ベクトルに対する評価が行なわれる。

【0273】現画面の右端のテンプレートブロックMB (4, 1)、MB (4, 2)、およびMB (4, 3) に対しては、図102に示すように、最初の処理単位時間Tにおいては、探索範囲のすべての変位ベクトルに対する評価関数値が生成される。次の処理単位時間においては、右禁止信号のみが活性状態とされる。すなわち、水平方向変位0の変位ベクトルのみが評価対象とされて動きベクトル探索が行なわれる。この右端のテンプレートブロックに分数精度での動きベクトル探索動作では、図99に示すステップS 23、S 25およびS 27の処理が実行される。現画面の下左端のテンプレートブロックMB (0, 4) に対しては、図103に示すように、最初の処理単位時間においては、全禁止信号が活性状態とされる。この状態においては、図103 (B) に示すように、最初の探索領域815における変位ベクトルがすべて評価対象から除外される。

【0274】次の処理単位時間においては、下禁止信号

および左禁止信号がともに活性状態とされる。この状態においては、図103(C)に示すように、探索領域816における下半分の領域(B=1~16)817dにおける変位ベクトルが評価対象から除外される。すなわち、領域817eにおける変位ベクトルのみを用いてテンプレートブロックMB(0, 4)の動きベクトル探索が行なわれる。図104は、このテンプレートブロックMB(0, 4)の分数精度での動きベクトル探索動作を示すフロー図である。すなわち、図104のステップS30に示すように、水平成分0以上および垂直成分0以下10の範囲の領域で整数精度での動きベクトル探索が行なわれ、その探索結果に従って整数精度での動きベクトルが決定される(ステップS31)。この整数精度で決定された動きベクトル(H, V)に従って、水平成分Hおよび垂直成分Vが0であるか否かの判定が行なわれる

(ステップS32およびS33)。ステップS32において、水平成分Hが0であると判定されたとき、水平方向の分数精度で負のベクトルをすべて除外して変位ベクトルの評価が行なわれる(ステップS34)。一方、垂直成分Vが0であるとステップS33において判定されたとき、分数精度で、垂直方向正の変位ベクトルを除外して、分数精度で変位ベクトルの評価が行なわれる(ステップS35)。整数精度の動きベクトル(H, V)の水平成分Hおよび垂直成分Vがともに0でないと判定された場合には、この分数精度での探索範囲内のすべての変位ベクトルがすべて評価対象とされる(ステップS36)。

【0275】現画面下端のテンプレートブロックMB(1, 4)、MB(2, 4)、およびMB(3, 4)に対しては図105に示すように、処理時間全体にわたって下禁止信号が活性状態とされる。この下禁止信号活性時における整数精度ゼロ動きベクトル探索時においては垂直成分Vが0以下の範囲で動きベクトル探索が行なわれる。分数精度での動きベクトル探索時においては、図104に示すステップS33、S35およびS36に示す処理動作が実行される。現画面下右端のテンプレートブロックMB(4, 4)に対しては、図106(A)に示すように、最初の処理単位時間Tにおいては下禁止信号が活性状態とされる。この状態においては、図106(B)に示すように最小探索領域815における下半分の領域(B=1~16)817fにおける変位ベクトルが評価対象から除外される。次の処理単位時間においては、図106(A)に示すように、下禁止信号および右禁止信号がともに活性状態とされる。この状態においては、図106(C)に示すように、後半の探索領域816における水平成分Hが0の領域817gに含まれる変位ベクトルのみが評価対象とされる。下禁止信号活性化時および右禁止信号活性化時における分数精度での動きベクトル検出時の動作は、先NOテップS33、S35およびS36の処理動作、ならびにステップS23、S

25およびS27の処理動作と同じである。

【0276】上述のような処理されるべきテンプレートブロックの位置に応じて禁止信号を選択的に活性状態とすることにより現画面画像に含まれる画素データのみを用いて動きベクトルを決定することができ、精度の高い動きベクトルを検出することができ、正確な予測画像を生成することができる。なお上述の説明においては、明確に示していないが、整数精度による動きベクトル検出時においては、複数の予測モードそれぞれに従って動きベクトルが決定される。したがって、分数精度での動きベクトル検出時においても、複数の予測モードそれぞれに従って決定された動きベクトルの水平成分および垂直成分の値とそのときの活性状態とされている禁止信号の組合わせに従って、複数の予測ベクトルそれぞれに対して分数精度での動きベクトル探索範囲が決定される。

【0277】図107は、この発明の第10の実施例に従う動きベクトル検出装置の全体の構成を概略的に示す図である。図107において、動きベクトル検出装置は、参照画像画素データを格納する参照画像メモリ820と、現画面画像画素データを格納する現画像メモリ821と、参照画像メモリ820からのサーチウィンドウ画素データPYおよび現画像メモリ821からテンプレートブロック画素データPXを受けて整数精度で動きベクトルを検出する整数精度動きベクトル検出部830と、整数精度動きベクトル検出部830から与えられるサーチウィンドウ画素データPY、テンプレート画素データPX、整数精度動きベクトルデータMVI、およびこの整数精度動きベクトルMVIの評価関数値evmを受けて分数精度で動きベクトルを検出する分数精度動きベクトル検出部832を含む。図107においては、図面を簡略化するために、1つの予測モードに従って決定される動きベクトルのみを代表的に示す。複数の予測モードそれぞれに従って整数精度および分数精度での動きベクトルが検出される。分数精度動きベクトル検出部832からの分数精度動きベクトルはベクトルMVFで代表的に示される。

【0278】動きベクトル検出装置は、さらに、参照画像メモリ820および現画像メモリ821の読出アドレスを発生するとともにこれらのメモリ820および821における画素データ読出動作を制御する読出制御回路838と、この読出制御回路838に含まれる現画像メモリ821に対する読出アドレス、すなわちテンプレートブロック画素位置情報を受けて動きベクトル探索範囲を設定する探索範囲設定部834と、探索範囲設定部834からの動きベクトル探索範囲情報に従って整数精度動きベクトル検出部830および分数精度動きベクトル検出部832における動きベクトル探索動作、すなわち変位ベクトル評価動作を制御する探索動作制御部836を含む。この探索動作制御部836は、探索範囲設定部834からの探索範囲情報に従って整数精度動きベクトル

ル検出部 830 における変位ベクトル評価動作を制御する。この探索動作制御部 836 は、また、整数精度動きベクトル検出部 830 からの整数精度動きベクトル情報 MVI と探索範囲設定部 834 からの探索範囲設定情報すなわち禁止信号とに従って分数精度動きベクトル検出部 832 における変位ベクトル評価動作を制御する。

【0279】図 108 は、図 107 に示す探索動作制御部 836 に含まれる整数精度動きベクトル選出部の評価動作制御部の構成を示す図である。図 108 においては、整数精度動きベクトル検出部 830 に含まれる比較部 3 の構成を併せて示す。整数精度動きベクトル検出部 830 に含まれる比較部 3 は、評価関数値を格納するレジスタ 680 と、演算部から与えられた評価関数値 $e v m i$ とレジスタ 680 の格納する評価関数値とを比較する比較器 682 と、演算部から与えられる評価関数値に関連する変位ベクトル情報を発生するカウンタ 684 と、最小の評価関数値を与える変位ベクトル情報を格納するレジスタ 686 を含む。このレジスタ 680、比較器 682、カウンタ 684 およびレジスタ 686 の構成は、図 65 に示す比較部の構成とほぼ同様である。ただ、図面の簡略化のため、図 108 においては図 65 に示す優先順位判定回路 690 を示していない。更新制御回路 839 は、比較器 682 からの更新指示信号が与えられると、レジスタ 680 および 686 の内容を更新する。この更新制御回路 839 は、また、整数精度探索動作制御部 840 からの禁止信号 $I a$ の活性化時、比較器 682 の出力信号にかかわらずレジスタ 680 および 686 の更新動作を禁止する。

【0280】整数精度探索動作制御部 840 は、カウンタ 684 からの変位ベクトル情報 $d e p v$ を受けて水平成分 H および垂直成分 V を抽出する HV 抽出回路 841 と、上半分禁止信号 $I u p h$ の活性化時に作動状態とされて、HV 抽出回路 841 から与えられる垂直成分 V が負のときに活性状態の信号を出力する上半分検出器 842 と、下半分禁止信号 $I l w h$ の活性化時に作動状態とされて、HV 抽出回路 841 からの垂直成分 V が正の領域にあるときに活性状態の信号を出力する下半分検出器 843 と、右半分禁止信号 $I r h t$ の活性化時に HV 抽出回路 841 から最初に出力される水平成分 H データをラッチするラッチ回路 844 と、右半分禁止信号 $I r h t$ の活性化時に作動状態とされて、HV 抽出回路 841 の出力する水平成分 H とラッチ回路 844 がラッチする水平成分とが一致したときに活性状態の信号を出力する左端検出器 845 を含む。全禁止信号 $I a$ 、上半分検出器 842 の出力、下半分検出器 843 の出力信号、および左端検出器 845 の出力信号はたとえばワイヤード OR 接続されて禁止信号 $I h$ を生成して更新制御回路 839 へ与えられる。ワイヤード OR 接続に替えて、信号 $I a$ 、右半分検出器 842 の出力信号、下半分検出器 843 の出力信号、および左端検出器 845 の出力信号

を受ける OR ゲートにより、禁止信号 $I h$ が出力される構成が利用されてもよい。

【0281】全禁止信号 $I a$ が活性状態のときには、更新制御回路 839 が、更新指示信号を常時非活性状態とし、レジスタ 680 および 686 における内容更新を禁止する。上半分検出器 842 は、カウンタ 684 から出力される変位ベクトル情報 $d e p v$ が垂直方向負の変位ベクトルを示しかつ上半分禁止信号 $I u p h$ が活性状態のときに活性状態の信号を出力する。したがって上半分禁止信号 $I u p h$ が活性状態のとき負の垂直成分を有する変位ベクトルの評価関数値はその比較器 682 の出力信号にかかわらずレジスタ 680 に格納されず、またレジスタ 866 の変位ベクトルの更新は行なわれない。下半分禁止信号 $I l w h$ が活性状態のとき、下半分検出器 843 は、カウンタ 684 から出力される変位ベクトル情報 $d e p v$ が正の垂直成分を有するとき活性状態の信号を出力する。これにより、禁止信号 $I h$ が活性状態とされ、レジスタ 680 および 686 の更新が禁止される。ラッチ回路 844 は、右半分禁止信号 $I r h t$ が活性状態のとき、その処理単位時間の最初に発生されるカウンタ 684 の出力する変位ベクトル情報の水平成分をラッチする。これにより、その右半分禁止信号 $I r h t$ が活性状態とされる処理単位時間における負のベクトル探索範囲における左端の領域、すなわちその処理単位時間における水平方向の最初の水平成分情報がラッチされる。左端検出器 845 は、活性化時、カウンタ 684 が出力する変位ベクトル情報 $d e p v$ の水平成分がラッチ回路 844 に格納された水平成分と異なるときに、活性状態の信号を出力する。これより処理単位時間における探索範囲における左端の列に位置する変位ベクトルに対してのみ評価動作が行なわれる。

【0282】上述の構成により整数精度での動きベクトル検出時において動きベクトル探索範囲を禁止信号に従って決定することができる。この整数精度探索動作制御部 840 へ左半分禁止信号 $I l f t$ が与えられていないのは、この信号が与えられたとき、水平方向全範囲において変位ベクトルの評価動作が行なわれるためである。また、図 108 に示す構成において、禁止信号 $I h$ は比較器 680 に与えられて比較器の比較動作が禁止される構成が利用されてもよい。比較動作が禁止された比較器 682 は、更新指示信号を非活性状態に維持する。図 109 は、図 107 に示す探索動作制御部 836 に含まれる分数精度探索動作制御部の構成を概略的に示す図である。図 109 において、分数精度探索動作制御部 850 は、図 108 に示す比較部 3 から出力される整数精度の動きベクトル情報 MVI から水平成分 H および垂直成分 V を抽出する HV 抽出器 851 と、HV 抽出器 851 からの垂直成分 V が 0 のときに活性状態の信号を出力する $V 0$ 検出器 852 と、上半分禁止信号 $I u p h$ と $V 0$ 検出器 852 の出力信号がともに活性状態のときに、分数

精度での垂直方向負成分の変位ベクトルの評価を禁止する垂直負成分禁止信号 $IVNF$ を活性状態とするゲート回路 853 と、下半分禁止信号 $I l w h$ および VO 検出器 852 の出力信号がともに活性状態のときに分数精度での垂直方向正の変位ベクトルの評価を禁止する垂直正成分禁止信号 $IVPF$ を活性状態とするゲート回路 854 と、左半分禁止信号 $I l f t$ の活性化時、その処理単位時間の最初にカウンタ 684 (図 108 参照) から与えられる変位ベクトルの水平成分 $d e p v$ (H) をラッチするラッチ回路 855 と、左半分禁止信号 $I l f t$ の活性化時に活性化されてラッチ回路 855 のラッチ水平成分と HV 抽出器 851 から出力される動きベクトルの水平成分 H が等しいときに分数精度での水平方向負の変位ベクトルの評価を禁止する水平負成分禁止信号 $I H N F$ を活性状態とする一致回路 856 と、右半分禁止信号 $I r h t$ の活性化時、その処理単位時間の最初に与えられた変位ベクトルの水平成分 $d e p v$ (H) をラッチするラッチ回路 857 と、右半分禁止信号 $I r h t$ の活性化時に活性化され、ラッチ回路 857 がラッチする水平成分データと HV 抽出器 851 からの整数精度動きベクトル $M V I$ の水平成分が一致したときに分数精度での正の変位ベクトルの評価を禁止する水平正成分禁止信号 $I H P F$ を活性状態とする一致回路 858 を含む。

【0283】ゲート回路 853 および 854 は、それぞれ、その両入力に与えられた信号が活性状態のとき活性状態の出力信号を生成するたとえば AND ゲートで構成することができる (活性状態がハイレベルのとき)。一致回路 856 および 858 は、たとえば、 $EXNOR$ ゲートおよび AND ゲートを用いて構成することができる (AND ゲートを用いるのは、水平成分データは多ビット信号であるため各 $EXNOR$ ゲートの出力信号の論理積をとるために用いる。 HV 抽出器 851 の構成は、この動きベクトル情報 $M V I$ の構成により種々の構成が可能である。整数精度動きベクトル情報 $M V I$ が通常の 2 進カウント値の場合には、そのカウント値をデコードする回路が利用されればよい。また、この整数精度動きベクトル情報 $M V I$ が水平成分および垂直成分それぞれを備える場合には、その水平成分および垂直成分がそのまま利用されればよい。

【0284】また、全禁止信号 $I a l$ は、分数精度動きベクトル検出部の全変位ベクトルに対する評価動作を禁止する信号 $I A L F$ として利用される。この図 109 に示す禁止信号 $I A L F$ 、 $IVNF$ 、等は、図 107 に示す分数精度動きベクトル検出部 832 に含まれる比較部へ与えられる。この比較部の構成に応じて禁止信号の印加態様は種々の修正を受ける。 $1/2$ 画素精度での変位ベクトル評価が、各変位ベクトルに対し逐次実行される場合には、図 108 に示す構成と同様の構成により分数精度での動きベクトル検出範囲を制御することができる。図 110 は、分数精度動きベクトル検出部 832 の

要部の構成の一例を示す図である。この図 110 に示す分数精度動きベクトル検出装置は、図 86 に示す分水精度 ($1/2$ 画素程度) 動きベクトル検出装置の構成に対応する。この図 110 に示す分水精度動きベクトル検出装置は、8 近傍の評価点の評価関数値を生成する差分絶対値和回路 804a ~ 804g と、これら差分絶対値和回路 804a ~ 804g および整数精度動きベクトルの評価関数値 $e v m$ から最小の評価関数値を検出し、その最小の評価関数値に対応する変位ベクトルを示す情報を分数精度動きベクトル $M V F$ として出力する比較部 806 を含む。差分絶対値和回路 804a ~ 804g はそれぞれ分数精度の 8 近傍の変位ベクトル (評価点) に一意に対応づけられる。差分絶対値和回路 804a は変位ベクトル ($-1/2$, $-1/2$) に対応し、差分絶対値和回路 804b は変位ベクトル (0 , $-1/2$) に対応し、差分絶対値和回路 804c は変位ベクトル ($1/2$, $-1/2$) に対応する。

【0285】差分絶対値和回路 804d は、変位ベクトル ($-1/2$, 0) に対応し、差分絶対値和回路 804e は、変位ベクトル ($1/2$, 0) に対応し、差分絶対値和回路 804f は、変位ベクトル ($-1/2$, $1/2$) に対応し、差分絶対値和回路 804g は、変位ベクトル (0 , $1/2$) に対応する。評価関数値 $e v m$ は変位ベクトル (0 , 0) に対応する。差分絶対値和回路 804a には、禁止信号 $I H N F$ 、 $IVNF$ および $I A L F$ が与えられる。差分絶対値和回路 804b には、禁止信号 $IVNF$ および $I A L F$ が与えられる。差分絶対値和回路 804c には、禁止信号 $I H P F$ 、 $IVNF$ および $I A L F$ が与えられる。差分絶対値和回路 804d へは、禁止信号 $I H N F$ および $I A L F$ が与えられる。差分絶対値和回路 804e へは、禁止信号 $I H P F$ および $I A L F$ が与えられる。差分絶対値和回路 804f へは、禁止信号 $I H N F$ 、 $IVPF$ 、および $I A L F$ が与えられる。差分絶対値和回路 804g は、禁止信号 $I H N F$ および $I A L F$ が与えられる。これら差分絶対値和回路 804a ~ 804g は、与えられた禁止信号が活性状態となったときに、その出力値を最大値に設定する。すなわち、たとえば差分絶対値和回路 804a ~ 804g それぞれの出力データのビット数が N ビットるとき、差分絶対値和回路 804a ~ 804g は、対応の禁止信号の少なくとも 1 つが活性状態とされたとき、その N ビットの出力をすべて “1” に設定する。これにより、比較部 806 において禁止信号が活性状態とされた領域に含まれる変位ベクトルは非選択状態とされ、動きベクトルの評価対象から排除される。禁止信号が活性状態とされたときに差分絶対値和回路 804 (804a ~ 804g) の出力データを最大値に設定する構成は、たとえば禁止信号と差分絶対値和回路 804 の出力ビットの OR 演算を行なうゲートが各出力ビットに対して設けられればよい。ただし、禁止信号の活性状態時はハイレベルの信号であ

り、ビット“1”をハイレベルの信号に対応させる。

【0286】上述の構成において、分数精度での変位ベクトルの評価対象領域を容易に設定することができる。この図108ないし図110に示す構成は、複数の予測モードそれぞれに対応して配置される。図111は、図107に示す探索範囲設定回路834および読出制御回路838の構成を概略的に示す図である。図111において、読出制御回路838は、現画面におけるテンプレートブロックの位置を示す情報を出力するカウンタ862と、動きベクトル探索時間を、処理単位時間を単位として設定する処理単位設定回路863と、現画像メモリ821の読出アドレスを発生するリードアドレス発生器860と、処理単位設定回路863により設定された処理時間情報に従ってカウンタ862の更新およびリードアドレス発生器860のアドレス更新および現画像メモリ821のデータ読出動作を制御するリード制御器861を含む。

【0287】リードアドレス発生器860は、カウンタ862のカウント値を、先頭アドレス情報に変換し、その先頭アドレスから順次現画像メモリ821の読出アドレスを発生する。通常、現画像メモリ821は、行および列のマトリクス状に配列されたメモリセルを含む。各行が画面上の水平方向1行の画素に対応するように現画像メモリ821が画素データを格納する場合、リードアドレス発生器860は、リード制御器861の制御のもとに、1行において16画素のデータを読出した後、次の行の同じ列に配置された画素データを読出す。すなわち、カウンタ862のテンプレートブロック情報に従って生成された先頭アドレスが指定する行から16画素のデータを読出した後、次の行において先頭アドレスと同じ列から始まって16画素のデータを読出す。このアドレス変換機能をまたリードアドレス発生器860は備える。このアドレス発生器の構成は、たとえば、先頭アドレス（行および列アドレスを含む）において先頭行において16画素のデータを読出した後、再び先頭アドレスが指定する列から16画素のデータを読出す構成が利用されればよい。リード制御器861は、処理単位設定回路863の設定する処理時間情報に従って、カウンタ862のカウント値の更新を行なうとともに、現画像メモリ821を、新しいテンプレートブロックについて動きベクトル検出動作時においてデータ読出状態に設定する。図示しないが、外部から処理時間情報が与えられるかまたは、使用用途に応じて、この処理単位設定回路863の格納処理時間情報が固定的に設定される。

【0288】探索範囲設定回路834は、カウンタ862からのカウント値を受けて処理を受けるテンプレートブロックの位置を検出するテンプレートブロック位置検出器871と、処理単位設定回路863に設定された処理時間とサーチウィンドウ画素データ転送クロック信号φとに従って、処理単位時間を単位として、実行されて

いるサイクルがいずれのサイクルであるかを検出するサイクル検出回路872と、テンプレートブロック位置検出器871の検出したテンプレートブロック位置情報とサイクル検出回路872の検出したサイクル情報とに従って全禁止信号Ia1、上半分禁止信号Iuphなどの禁止信号を発生する禁止信号発生器873を含む。この禁止信号発生器873は、先に図92ないし図106に示したシーケンスに従って各禁止信号を発生状態とする。たとえば、テンプレートブロック位置検出器871が、画面左上端のテンプレートブロックMB(0,0)を検出したとき、禁止信号発生器873は、第1サイクルにおいては、全禁止信号Ia1を活性状態とし、次の処理サイクルにおいては、上半分禁止信号Iuphおよび左半分禁止信号Ilwhを活性状態とする。

【0289】探索範囲設定回路834はさらに、動きベクトル探索範囲の制限を受けるべきテンプレートブロックを指定する情報を生成するテンプレートブロック指定回路874と、テンプレートブロック指定回路874が指定するテンプレートブロックと、テンプレートブロック位置検出器871の指定するテンプレートブロック位置情報とが一致するか否かを判断する一致検出器876と、変位ベクトルの評価動作が禁止されるべき領域を設定する禁止区域設定回路875と、一致検出器876からの一致検出信号と禁止区域設定回路875からの禁止区域情報とに従って、禁止信号を発生する禁止信号発生器877と、禁止信号発生器873および877の出力の一方をモード指定信号φSMLに従って選択するセレクタ878を含む。このセレクタ878から探索動作制御部836（図107）に対し禁止信号が与えられる。テンプレートブロック指定回路874および禁止区域設定回路875へは、図示しない外部コントローラからそれぞれ所定の情報が設定される。それにより、所望のテンプレートブロックに対してのみ動きベクトル探索範囲を制限することができる。禁止信号発生器877は、一致検出器876からの一致信号が活性状態のとき、この禁止区域設定回路875が設定された禁止区域における動きベクトル探索動作（変位ベクトル評価動作）を禁止するように禁止信号を活性状態とする。デフォルトモードとしては、禁止信号発生器873からの禁止情報がセレクタ878により選択される。この画面上のテンプレートブロックの位置に従って決定される動きベクトル探索範囲と異なる探索範囲を設定する場合には、モード指定信号φSMLにより、セレクタ878を禁止信号発生器877の出力する禁止信号を選択する状態に設定する。このテンプレートブロック指定回路874、禁止区域設定回路875、一致検出器876および禁止信号発生器877を設けることにより、処理モードに応じて動きベクトル探索範囲を設定することができ、処理されるべき画像の構成に応じた動きベクトル探索範囲を設定することが可能となる。

【0290】たとえば、図112(A)に示すように、画面880の中央部に位置するテンプレートブロック881に対し、図112(B)に示すように、探索範囲882における4つの領域882a、882b、882c、および882dの領域における動きベクトル探索を禁止することができる。たとえば画面が一方方向に移動している場合、動きベクトルとしては、その移動方向と反対方向にのみ動きベクトルが検出される確率が高い。この場合、その他方方向に対してのみ動きベクトル探索を行なうことにより、より相関度の高い動きベクトルを検出することができる。また、Iピクチャーのようなフレーム間予測を行なう画像と異なり、Pピクチャーのように、フレーム内予測を行なう画像が挿入されるとき、フレーム間予測で動きベクトルを検出する場合、このPピクチャーにおけるフレーム内予測モードで形成された画面領域を用いた動きベクトルの精度はフレーム間予測の場合に比べて劣化するため、このような領域を用いたフレーム間予測による動きベクトル検出動作を禁止することにより、精度の高い動きベクトルを検出することができる。

【0291】以上のように、この発明の第10の実施例に従えば、テンプレートブロックに対し、その動きベクトル探索範囲を制限することができるように構成したため、より精度の高い動きベクトル検出を行なうことができる。特に分数精度の動きベクトル検出動作に対してもそのベクトル探索範囲を制限するように構成したため、実際に存在する画素のデータのみを用いて動きベクトルを検出することができ、より精度の高い動きベクトルを検出することができ、高精度の画像符号化システムを構築することができる。

【入力部の構成】図113は、動きベクトル検出装置の入力部の構成を概略的に示す図である。図113において、動きベクトル検出装置200は、現画面画像データを格納する現画像メモリ204から与えられるテンプレートブロックデータと参照画面画像データを格納する参照画像メモリ202から読出されたサーチエリア画素データとに従って所定の演算を行なって動きベクトルを検出する。現画像メモリ204からは、動きベクトル検出の1サイクルごとにテンプレートブロック画素データが読出されて演算部1へ与えられる。この場合、演算部1に含まれる要素プロセッサは直線状に実質的に配列されているため、前のサイクルで処理されたテンプレートブロックに隣接する列にありかつ同一行に配列された画素データを所定数読出すことにより次のテンプレートブロックの画素データを演算部1のプロセッサアレイ内に配置させることができる。

【0292】参照画像メモリ202は、サーチエリア内の画素データを順次読出して入力部2へ与える。この参照画像メモリ202に格納されるデータは、図152に示す加算回路934の出力によりその記憶内容が変更さ

れる。

【0293】入力部2は、参照画像メモリ202からのサーチエリア画素データを格納するためのサーチウィンドウバッファメモリ205と、このサーチウィンドウバッファメモリ205に格納された画像データの画面形式を指定された画面形式に変換するための画面形式変換回路207を含む。サーチウィンドウバッファメモリ205は、例えばサーチエリア領域における演算部1のプロセッサアレイに格納されたサーチウィンドウに1列隣接するサーチウィンドウの画素データを格納する。参照画像メモリ202から読出される画像データの画面形式はフレーム形式またはフィールド形式のいずれかである。この場合、動きベクトル検出装置200の予測モードがフレーム形式に対応する構成の場合、この内部の予測モードに合わせて処理すべき画素データの画面形式を変更する。外部処理装置がこの動きベクトル検出装置の予測モードに合わせて画素データ列を変換して画面形式を変換する必要がなく、外部処理装置の負荷が軽減されるとともに、画面形式変換に必要とされる回路を外部に設ける必要がなく、外部のハードウェア量を削減することができる。また処理対象となる画像データの画面形式がフィールド形式およびフレーム形式いずれであってもフレームを単位として動き検出を実行することができ、汎用性の高い動きベクトル検出装置を実現することができる。

【0294】図114は図113に示す画面形式変換回路の構成を概略的に示す図である。図114において、画面形式変換回路207は、入力画像信号の画面形式がフレーム形式の場合に書込および読出アドレスを発生するフレーム／フレーム用アドレス生成器213と、入力画像データの画面形式がフィールド形式の場合に書込および読出アドレスを発生するフィールド／フレーム用アドレス生成器215と、画面形式指定信号φPTに従ってアドレス生成器213および215の出力の一方を選択してサーチウィンドウバッファメモリ205へ与えるセクタ211を含む。

【0295】図115は、図114に示すフレーム／フレーム用アドレス生成器の構成の一例を示す図である。図115においては、サーチウィンドウバッファメモリが48行×14列の構成を備える場合のアドレス発生のための構成が一例として示される。サーチウィンドウバッファメモリ205の記憶容量に合わせてこの図115に示す構成が適宜修正される。

【0296】図115において、フレーム／フレーム用アドレス生成器213は、画像データ書込時に書込アドレスを発生するライトアドレス発生器220と、このバッファメモリ205からデータを読出して演算部1へ与えるための読出アドレスを発生するためのリードアドレス発生器222を含む。ライトアドレス発生器220は、書込時に発生される画像データ書込のタイミングを

与える書込クロック信号 ϕ CWをカウントし、そのカウント値を列アドレスポインタ AYPWとして発生する 16進カウンタ 220aと、16進カウンタ 220aのカウントアップ信号 ϕ UPYをカウントしそのカウント値を行アドレスポインタ AXPWとして発生する 48進カウンタ 220bを含む。48進カウンタ 220bは、6ビット 2進カウンタで構成することができ、その最大カウント値を 48に設定し、カウント値が 48に到達したときには次のクロックサイクルでそのカウント値が 1に初期設定される。

【0297】リードアドレス発生器 222も同様の構成を備え、データ読出時に発生されるリードクロック信号 ϕ CRをカウントしそのカウント値をデータ読出時の行アドレスポインタ AXP Rとして発生する 48進カウンタ 222bと、48進カウンタ 222bのカウントアップ信号 ϕ UPXをカウントし、そのカウント値をデータ読出時の列アドレスポインタ AYP Rとして発生する 16進カウンタ 222aを含む。

【0298】フレーム/フレーム用アドレス生成器 213はさらに、データ書込/読出を示すリード/ライト信号 R/WZに従ってデータ書込時に発生される列アドレスポインタ AYPWとデータ読出時に発生される列アドレスポインタ AYP Rの一方を列アドレスポインタ AYPとして通過させるマルチプレクサ (MUX) 224aと、リード/ライト指示信号 R/WZに従って書込時に発生される行アドレスポインタ AXPWとデータ読出時に発生される行アドレスポインタ AXP Rの一方を行アドレスポインタ AXPとして通過させるマルチプレクサ 224bを含む。マルチプレクサ 224aおよび 224bからのアドレスポインタ AYPおよび AXPは図 35に示すセクタ 211の一方入力へ与えられる。次に動作について説明する。

【0299】まず、図 116 (A) を参照して、画像データ書込時の動作について説明する。この場合には、図 115に示すライトアドレス発生器 220が動作し、リードアドレス発生器 220は動作しない。ライトアドレス発生器 220において、16進カウンタ 220aおよび 220bは初期値にリセットされる。まず最初の行アドレスポインタ AXPWおよび列アドレスポインタ AYPWはともに 0となり、バッファメモリ 205の Xアドレスおよび Yアドレス (X, Y) = (0, 0) が指定される。これにより参照画像メモリから伝達されたデータのアドレス (0, 0) に書込まれる。次いでライトクロック信号 ϕ CWが発生され、16進カウンタ 220aのカウント値が 1増分される。これにより列アドレスポインタ AYPWが 1増分される。行アドレスポインタ AXPWは変化しない。したがってアドレス (0, 1) が指定され、2番目に与えられた画素データが書込まれる。以降 16進カウンタ 220aのカウント値が 15に到達するまでバッファメモリ 205において第 0行に順次画

素データが格納される。このバッファメモリ 205において 16個の画素データが格納された後、16進カウンタ 220aからカウントアップ信号 ϕ UPYが発生され、48進カウンタ 220bのカウント値が 1増分される。これにより行アドレスポインタ AXPWが 1となり、16進カウンタ 220aのカウント値は 0となる。したがってアドレス (1, 0) に次に与えられる 17番目の画素データが書込まれる。以降この動作を繰返すことにより、16個の画素データが書込まれるごとに 48進カウンタ 220bのカウント値すなわち行アドレスポインタ AXPWが 1増分され、各行ごとに順次データが書込まれる。通常、参照画像メモリに与えられる画像データはラスタスキャン走査方式で走査された画素データであり、水平方向に 1行に配置される画素データが順次与えられる。したがってデータ書込時にこのラスタスキャン走査方式に合わせて順次データを格納する (参照画像メモリにおいてもラスタスキャン走査方式に従ってデータが書込まれており、ラスタスキャン方式に従って同様データの読出が行なわれるためである)。

【0300】次に図 116 (B) を参照して図 115に示すサーチウィンドウバッファメモリ 205から順次画素データを読出して演算部 1へ与える場合の動作について説明する。画素データ読出時には、リードアドレス発生器 222が動作し、ライトアドレス発生器 220は動作しない。16進カウンタ 222aおよび 48進カウンタ 222bはともに初期値が 0に設定されており、最初に読出されるアドレスは (0, 0) である。次いでリードクロック信号 ϕ CRが発生されると 48進カウンタ 222bのカウント値が 1増分され行アドレスポインタ AXP Rの値が 1増分される。カウントアップ信号 ϕ UPXは発生されないため、16進カウンタ 222aのカウント値は 1を維持する。したがって 2番目にはアドレス (1, 0) の画素データが読出される。以降リードクロック信号 ϕ CRに従って 48個のデータが読出される。48進カウンタ 222bのカウント値が 47に到達すると次のクロックサイクルにおいてカウントアップ信号 ϕ UPXが発生され、16進カウンタ 222aのカウント値が 1増分され、1となる。48進カウンタ 222bはこのカウントアップ信号の発生と同期してそのカウント値が初期値にリセットされる。したがって、49番目の画素データはアドレス (0, 1) に格納される。以降この動作を繰返すことにより、順次、行アドレスが増分する方向に沿って画素データが読出されていく。この行アドレスを順次増分して読出す構成により、サーチエリア内の画素を行アドレス増加方向に沿ってスキャンすることができ、演算部 1においては単に与えられたデータを順次シフトすることにより演算に必要なデータがすべて与えられることになる。

【0301】[フレーム/フレームアドレス生成器の変更例] 図 117は、フレーム/フレームアドレス生成器

の変更例を示す図である。図 117 において、フレーム／フレームアドレス生成器 213 は、クロック入力 CLK へ与えられるクロック信号をカウントし、そのカウント値が 15 に到達しかつ初期値のリセット時にカウントアップ信号をそのカウントアップ出力端子 up から出力する 16 進カウンタ 221 と、クロック入力端子 CLK に与えられる信号をカウントし、そのカウント値が 47 に到達したとき次のクロックサイクル移行時にカウントアップ信号を出力端子 up から出力する 48 進カウンタ 223 を含む。16 進カウンタ 221 のクロック入力端子 CLK へは、マルチプレクサ 227 を介してライトクロック信号 ϕ CW または 48 進カウンタ 223 のカウントアップ信号が与えられる。48 進カウンタ 223 のクロック入力端子 CLK にはマルチプレクサ 225 を介してリードクロック信号 ϕ CR および 16 進カウンタ 221 のカウントアップ信号の一方が与えられる。マルチプレクサ 225 および 227 の選択はリード／ライト指示信号 R/WZ により設定される。リードライト指定信号 R/WZ がデータ書込モードを示すとき、マルチプレクサ 225 は 16 進カウンタ 221 のカウントアップ信号を 48 進カウンタ 223 のクロック入力端子 CLK へ与える。マルチプレクサ 227 はライトクロック信号 ϕ CW を 16 進カウンタ 221 のクロック入力端子 CLK へ与える。図 117 に示す構成の場合には、16 進カウンタおよび 48 進カウンタはそれぞれ 1 つ必要とされるだけであり、装置規模を低減することができる。

【0302】図 118 は、図 114 に示すフィールド／フレーム用アドレス生成器の具体的構成を示す図である。図 118 において、フィールド／フレーム用アドレス生成器 215 は画素データ書込時における行および列アドレスポイント APXW および APYW を発生するためのライトアドレス発生器 230 と、画素データ読出時に行および列アドレスポイント APXR および APYR を発生するリードアドレス発生器 235 を含む。

【0303】ライトアドレス発生器 230 は、画素データ書込時に発生されるライトクロック信号 ϕ CW をカウントし、そのカウント値をライト列アドレスポイント APW として発生する 16 進カウンタ 232 からのカウントアップ信号 ϕ UPY をカウントし、そのカウント値をライトアドレスポイント APXW として発生するライトアドレスポイント発生器 234 を含む。ライトアドレスポイント発生器 234 は、16 進カウンタ 232 からのカウントアップ信号 ϕ UPY をカウントする 24 進カウンタ 233 と、この 24 進カウンタ 233 のカウントアップ信号 ϕ Ua に従ってその出力の論理が変化する T 型フリップフロップ 231 を含む。T 型フリップフロップ 231 の出力はライト行アドレスポイント APXW の最下位ビットとして用いられ、24 進カウンタ 233 の出力がライト行アドレスポイント APXW の残りの上位ビットとして利用される。

【0304】リードアドレス発生器 235 は、画素データ書込時に発生されるリードクロック信号 ϕ CR をカウントし、そのカウント値をリード行アドレス APXR として発生する 48 進カウンタ 238 と、48 進カウンタ 238 からのカウントアップ信号 ϕ UPX をカウントし、そのカウント値をリード列アドレス APYR として出力する 16 進カウンタ 236 を含む。ライトアドレス発生器 230 からのアドレスポイント APYW および APXW ならびにリードアドレス発生器 235 からのアドレスポイント APYR および APXR はマルチプレクサ 240 へ与えられる。マルチプレクサ 240 は、リード／ライト指定信号 R/WZ に従ってライトアドレスポイント APYW および APXW とリードアドレスポイント APYR および APXR との一方を選択してアドレスポイント APY および APR としてセクタ 211 (図 114 参照) へ伝達する。次に動作について説明する。

【0305】まず図 119 を参照して、ライトアドレス発生器 230 の動作について説明する。16 進カウンタ 232 および 24 進カウンタ 233 はそれぞれ最大カウント値 15 および 0 に初期設定されている。T 型フリップフロップ 231 は 0 出力状態に初期設定されている。ライトクロック信号 ϕ CW が与えられると、この 16 進カウンタ 232 の出力が 0 となる。このときにカウントアップ信号 ϕ UPY は発生されない (先のサイクルにおいて発生されて 24 進カウンタを 0 に初期設定するために利用されているかまたは初期値設定時にこのカウントアップ信号 ϕ UPY の発生が禁止される)。したがって、第 1 回目にライトクロック信号 ϕ CW が与えられた場合、行および列アドレスポイント APXW および APYW はともに 0 となり、アドレス (0, 0) が指定される。次にライトクロック信号 ϕ CW が与えられると、16 進カウンタ 232 のカウント値が 1 増分する。リードアドレス発生器 234 からのリードアドレスポイント APXW は変化せず、0 を維持する。したがって第 0 行に対して画素が順次アドレス指定される。

【0306】ライトクロック信号 ϕ CW が 16 回カウントされ、16 進カウンタ 232 のカウント値すなわちライト列アドレスポイント APYW が 15 となると、所定のタイミングでカウントアップ信号 ϕ UPY が発生される。アドレス (0, 15) が指定され、画素データが書込まれた後このカウントアップ信号 ϕ UPY に従って 24 進カウンタ 233 のカウント値が 1 増分される。一方、ライトクロック信号 ϕ CW が与えられると 16 進カウンタ 232 のカウント値が 0 に復帰する。ここで、24 進カウンタ 233 の出力の変化時点はライトクロック信号 ϕ CW に同期するように構成されてもよい。これにより、アドレス (2, 0) が指定されて次いでライトクロック信号 ϕ CW が与えられると順次第 2 行の画素データを格納するためのアドレス指定が行なわれる。

【0307】上述の動作を繰返し、24 進カウンタ 23

3のカウンタ値が最大値(23)となるとカウンタアップ信号φUaが発生され、T型フリップフロップ231の出力状態が変化する。すなわちT型フリップフロップ231の出力が“1”となる。24進カウンタ233の出力は、16進カウンタ232からのカウンタアップ信号に従って0に復帰する。24進カウンタ233の出力が0であり、T型フリップフロップ231の出力が1であるため、このリード行アドレスポインタAPXWは1を指定する。したがって、次にライトクロック信号φCWが与えられるとアドレス(1, 0)が指定され、以降この第1行の画素データ格納位置が順次アドレス指定された後、24進カウンタ233のカウンタ値が16進カウンタ232のカウンタアップ信号φUPYに従って変化するとリード行アドレスポインタAPXWは3となり、第3行の画素データ格納位置が順次アドレス指定される。

【0308】したがって、図120(A)に示すように第1フィールド(偶数フィールドまたは奇数フィールド)に含まれる画素データはサーチウィンドウバッファメモリ205の偶数行に順次格納され、第2フィールド(奇数フィールドまたは偶数フィールド)に属する画素データは図120(B)に示すように奇数行に順次格納される。この第1フィールドおよび第2フィールドと偶数フィールドおよび奇数フィールドとの対応関係は任意であるが、先の説明との対応で言えば、第1フィールドは偶数フィールドに対応し、第2フィールドは奇数フィールドに対応する。したがって、フィールド単位で与えられる画素データ(たとえば一般のNTSC方式に従う画像データ)を2フィールドを単位としてバッファメモリに格納することにより1フレームの画像に含まれる画素データがフレーム形式でサーチウィンドウバッファメモリ205内に格納される。

【0309】リードアドレス発生器235の動作は、先に図115を参照して説明したリードアドレス発生器222の動作と同じであり、リードクロック信号φCRに従って第0列の画素データが第0行から第47行まで順次読出され、次に第1列の画素データが読出され、以降この動作が繰返される。この読出動作時における画素データの読出シーケンスは図116(B)に示すものと同じである。

【0310】上述のように、フレーム形式またはフィールド形式いずれの形式の画像データが入力されてもすべてフレーム形式の画像データに変換して演算部1へ伝達することができる。したがって、演算部1は、入力画像データの画面形式にかかわらずフレームを単位として動きベクトル検出を実行することが可能となる。

【0311】[入力部の第2の構成]図121は、入力部の第2の構成を概略的に示す図である。この図121に示す構成においては、フレーム形式またはフィールド形式の画像画素データ列をフィールド形式画像の画素デ

ータ列に変換して出力する。

【0312】画面形式変換部207は、フィールド形式の画像画素データ列が与えられたときにサーチウィンドウバッファメモリ205に対するアドレスを発生するフィールド/フィールド用アドレス生成器254と、フレーム形式の画像画素データ列が与えられたときにフィールド形式の画像画素データ列に変換するアドレスを発生するフレーム/フィールド用アドレス生成器252と、画面形式指定信号φPTに従ってフィールド/フィールド用アドレス生成器254およびフレーム/フィールド用アドレス生成器252が出力するアドレスポインタの一方を選択してサーチウィンドウバッファメモリ205へ与えるセクタ211を含む。フィールド/フィールド用アドレス生成器254の構成は図115に示すフレーム/フレーム用アドレス生成器213の構成と同じである。処理対象となる画素データ列の画面形式がフレーム形式であるかフィールド形式であるかが異なるだけである。

【0313】図122(A)にフィールド/フィールド用アドレス生成器254が発生するアドレスポインタの内容およびサーチウィンドウバッファメモリ205に格納される画素データ列の対応関係を示す。図122

(A)に示すように、フィールド形式画像の画素データ列が与えられるとき、フィールド/フィールド用アドレス生成器254は、まず第0行を指定しこの第0行において第0列ないし第15列を順次指定する。第0行において第15列に画素データが書込まれた後次いで第1行が指定され、再び第1行において16個の画素データが書込まれる。以降この動作を第47行に対するまで繰返し実行する。ただしここで演算部1において利用されるサーチウィンドウのサイズは48画素(行)×16画素(列)としている。

【0314】画素データ読出時においてはフィールド/フィールド用アドレス生成器254は、図122(B)に示すように、まず第0列を選択状態とし、順次第0行ないし第47行を指定する。これにより第0列の画素データが順次読出される。第0列の画素データ(48画素)が読出されると、次いで第1列における48個の画素が順次読出される。この動作を繰返し実行する。これにより、演算部1においてプロセッサアレイ内に格納するサーチウィンドウブロック画素データの順序でサーチウィンドウバッファメモリ205から画素データ列を読出す。

【0315】図123に、フレーム/フィールド用アドレス発生器252が発生するアドレスポインタの発生順序を示す。フレーム/フィールド用アドレス生成器252は、フレーム形式の画像画素データ列が与えられたときにサーチウィンドウバッファメモリ205に対する画素データ格納位置を示すアドレスポインタを発生する。画素データ書込時においては、図123(A)に示すよ

うに、フレーム／フィールド用アドレス生成器 252 は、フィールド形式画像入力時と同様に、1 行ずつ順次画素データを格納するようにアドレスポインタを発生する。この画素データ書込時においてはフレーム／フィールド用アドレス生成器 252 は 95 画素（行）× 16 画素（列）の画素データを単位として格納する。フレーム形式画像は、偶数フィールドおよび奇数フィールド（第 1 フィールドおよび第 2 フィールド）を含んでおり、フィールド形式の画像作成のためにはこのフレーム画像から 1 枚のフィールド画像の画素データを抽出する必要があるためである。画素データ読出時においては、フレーム／フィールド用アドレス生成器 252 は、図 123

(B) に示すように、各列ごとに偶数行の画素データのみを読出すようにアドレスポインタを発生する。これにより第 1 フィールドの画素データのみが抽出されて 48 画素行× 16 画素列のサーチウィンドウの画素データが得られる。

【0316】図 124 は、図 121 に示すフレーム／フィールド用アドレス発生器の具体的構成を示す図である。図 124 において、フレーム／フィールドアドレス発生器 252 は、画素データ書込時にアドレスポインタを発生するライトアドレス発生器 260 と、画素データ読出時にアドレスを発生するリードアドレス発生器 265 を含む。ライトアドレス発生器 260 は、画素データ書込時に発生されるライトクロック信号 ϕCW をカウントし、そのカウント値を列アドレスポインタ APYW として出力する 16 進カウンタ 262 と、16 進カウンタ 262 のカウントアップ信号 ϕUPY をカウントしそのカウント値を行アドレスポインタ APXW として出力する 95 進カウンタ 264 を含む。このライトアドレス発生器 260 は、先に図 115 を参照して説明したライトアドレス発生器と同様の動作を行ない、16 進カウンタ 262 により 1 行の画素データ格納位置がすべて指定されたときに次の行のアドレスが指定される。95 進カウンタ 264 は、95 行のアドレスを順次指定する。

【0317】リードアドレス発生器 265 は、画素データ読出時に発生されるリードクロック信号 ϕCR をカウントする 48 進カウンタ 268 と、48 進カウンタ 268 のカウントアップ信号 ϕUPX をカウントし、そのカウント値を列アドレスポインタ APYR として出力する 16 進カウンタ 266 と、固定値“0”を発生する 1 ビットアドレス発生器 267 を含む。48 進カウンタ 268 の出力と 1 ビットアドレス発生器 267 の出力とが行アドレスポインタ APXR として利用される。1 ビットアドレス発生器 267 からの固定ビット値“0”は画素データ読出時に利用される行アドレスポインタ APXR の最下位ビットとして利用される。したがって行アドレスポインタ APXR は偶数行のみを指定する。このリードアドレス発生器 265 の構成により、画素データ読出時に第 0 行、第 2 行、第 4 行、…、第 94 行を順次指定

して画素データを読出すことができ、1 列の画素データを読出した後 16 進カウンタ 266 のカウント値を 1 増分して次の列の画素データを順次読出すことができる。

【0318】この図 121 に示すような構成を利用すれば、入力画像画素データの画面形式がフィールド形式およびフレーム形式いずれであってもフィールド形式の画像画素データ列を生成することができ、入力画像の画面形式にかかわらずフィールドを単位として動きベクトルを検出することができる。また外部にフレーム形式の画像画素データ列をフィールド形式の画像画素データ列に変換する回路を設ける必要がなく、装置規模を増大させることなく任意の画面形式に対応することのできる汎用性の高い動きベクトル検出装置を実現することができる。

【0319】[入力部の第 3 の構成] 図 125 は、この発明に用いられる動きベクトル検出装置の入力部の第 3 の構成を示す図である。図 125 において、画面形式変換回路 207 は、フィールド形式の画像画素データ列が与えられたときに書込アドレスポインタを発生するフィールド／フィールド用アドレス発生器 272 と、フレーム形式の画像画素データ系列が与えられたときに書込アドレスポインタを発生するフレーム／フィールド用アドレス発生器 274 と、画面形式指定信号 ϕPT に従ってアドレス発生器 272 および 274 の一方の出力アドレスを選択するセレクタ 276 と、フレーム／フィールド用アドレス発生器 274 から発生されるアドレスポインタの最下位ビットの値に従ってサーチウィンドウバッファメモリ 205 へのデータの書込を禁止する書込禁止回路 277 と、バッファメモリ 205 からの画素データ読出時の読出アドレスを発生するリードアドレス発生器 279 を含む。フィールド／フィールド用アドレス発生器 272 およびフレーム／フィールド用アドレス発生器 274 は画面形式指定信号 ϕPT に従って一方のみが活性状態とされる。この画面形式指定信号 ϕPT に従ってアドレス発生器 272 および 274 の一方が活性化される構成は、先の第 1 および第 2 の画面形式変換回路の構成においても同様である。

【0320】サーチウィンドウバッファメモリ 205 は、行および列のマトリックス状に配列された複数のメモリセル（たとえば SRAM セル）を有するメモリセルアレイ 280 と、データ書込時に画面形式変換回路 207 のセレクタ 276 を介して与えられる書込アドレスポインタに従ってメモリセルアレイ 280 内のメモリセルを選択し、選択されたメモリセルへ入力画像画素データを書込む書込制御回路 282 と、データ読出時にリードアドレス発生器 279 から与えられたアドレスポインタに従ってメモリセルアレイ 280 から対応のメモリセルを選択し、その記憶データを読出す読出制御回路 284 を含む。書込制御回路 282 および読出制御回路 284 はそれぞれクロック信号 ϕCW および ϕRW に従って動

作する。書込制御回路 282 は、書込禁止回路 278 が書込禁止を示すとき外部から画素データが与えられていてもデータの書込を実行しない。

【0321】フィールド／フィールド用アドレス発生器 272 は図 115 に示すライトアドレス発生器 220 と同じ構成を備える。メモリセルアレイ 280 は、サーチウィンドウのデータを格納するために 48 行 16 列に配置されたメモリセルを備えると仮定する。フィールド形式の画像画素データ列が与えられた場合には、フィールド／フィールド用アドレス発生器 272 が活性化され、書込制御回路 282 の制御の下にフィールド形式画像の画素データ列がメモリセルアレイ 280 内へ順次先に説明したものと同様に書込まれる。フレーム形式の画像の画素データ列が与えられた場合、フレーム／フィールド用アドレス発生器 274 の発生するアドレスポイントに従って画素データの書込が実行される。このときフレーム／フィールド用アドレス発生器 274 の発生するアドレスに従って 1 行に対する画素データの書込が行なわれた場合、次の行に対する書込はフレーム内の別のフィールドの画素データであり、データの書込が禁止される。すなわち、フレーム／フィールド用アドレス発生器 274 が発生するアドレスに従ってフレーム形式画像のうち 1 つのフィールド（偶数フィールドまたは奇数フィールド；第 1 フィールドまたは第 2 フィールド）の画素データが抽出され、この 1 つのフィールドに対してのみ書込制御回路 282 によりメモリセルアレイ 280 へのデータ書込が行なわれ、別のフィールドに対しては書込禁止回路 278 の制御の下に画素データの書込が禁止される。したがって、メモリセルアレイ 280 においては入力される画像の形式がフレーム形式およびフィールド形式いずれであってもフィールド形式の画像の画素データが格納される。

【0322】リードアドレス発生器 279 は図 118 に示すリードアドレス発生器 235 と同様の構成を備え、メモリセルアレイ 280 において、各列ごとに順次メモリセルが選択されるようにアドレスを発生する。読出制御回路 284 は読出クロック信号 ϕ RW に従ってリードアドレス発生器 279 からのアドレスに従ってメモリセルアレイ 280 内のメモリセルを選択し、その選択されたメモリセルが有する画素データを読出す。したがって読出制御回路 284 からはフィールド形式の画像の画素データ列が順次出力される。

【0323】図 126 は図 125 に示すフレーム／フィールド用アドレス発生器 274 の具体的構成を示す図である。図 126 において、フレーム／フィールド用アドレス発生器 274 は、ライトクロック信号 ϕ CW をカウントしそのカウント値を列アドレスポイント APYW として発生する 16 進カウンタ 292 と、16 進カウンタ 292 のカウントアップ信号 ϕ UPY をカウントする 7 ビットカウンタ（9 5 進カウンタ）294 を含む。7 ビ

ットカウンタ 294 は、最下位ビット（LSB）のみを含む 1 ビットカウンタ 296 と、残りの上位 6 ビットカウント値を出力する 6 ビットカウンタ 298 を含む。1 ビットカウンタ 296 のカウント値は書込禁止回路 278 へ書込禁止指示信号として与えられる。この 1 ビットカウンタ 296 のカウント値（LSB）が“1”のとき書込禁止回路 278 は書込禁止が指定されたとして書込制御回路 282 によるデータ書込動作を禁止する。6 ビットカウンタ 298 のカウント値が行アドレスポイント APXW として出力される。次にこの図 47 に示すフレーム／フィールド用アドレス発生器 274 の動作をその動作タイミング図である図 127 を参照して説明する。

【0324】初期時においては 16 進カウンタ 292 および 7 ビットカウンタ 294 のカウント値はともに 0 に設定される。16 進カウンタ 292 はライトクロック信号 ϕ CW をカウントして列アドレスポイント APYW を発生する。この 16 進カウンタ 292 のカウント値が 15 に到達すると 1 行すなわち第 0 行の 16 画素のデータの書込が完了したことになる。この書込まれた画素データは第 1 フィールドに属している。

【0325】次に 16 進カウンタ 292 のカウント値が 0 に戻る。この 16 進カウンタ 292 のカウント値の初期値への復帰に回答して 7 ビットカウンタ 294 のカウント値が 1 増分される。このときには、最下位ビット LSB を出力する 1 ビットカウンタ 296 のカウント値が 1 となり、6 ビットカウンタ 298 のカウント値は変化しない。したがって行アドレスポイント APXW は 0 を維持する。このとき、1 ビットカウンタ 296 のカウント値（LSB）が 1 であるため、書込禁止回路 278 は書込制御回路 282 の書込動作を禁止する。これにより 16 進カウンタ 292 のカウント値が 15 に到達するまでの期間画素データの書込が禁止され、第 2 フィールドに属する画素データの書込が禁止される。

【0326】次いで再び 16 進カウンタ 292 のカウント値が 0 に復帰すると、カウントアップ信号 ϕ UPY に従って 7 ビットカウンタ 294 のカウント値が 1 増分される。これにより 1 ビットカウンタ 296 のカウント値（LSB）が 0 となり、6 ビットカウンタ 298 のカウント値が 1 となる。この 1 ビットカウンタ 296 のカウント値（LSB）が 0 であるため、書込禁止回路 278 は書込禁止を解除する。これにより書込制御回路 282 はフレーム形式の画像の画素データ列を順次書込む。このとき書込まれる画素データは第 1 フィールドに属しており、第 1 行に書込まれる。

【0327】次いで再び 16 進カウンタ 292 のカウント値が 15 に到達し、1 行の画素データの書込が完了するとカウントアップ信号 ϕ UPY が発生される。これにより 7 ビットカウンタ 294 のカウント値が 1 増分され、1 ビットカウンタ 296 のカウント値が 1 となり、6 ビットカウンタ 298 のカウント値は 1 を維持する。

したがってこの場合には、1ビットカウンタ296のカウンタ値1に従って画素データの書込が禁止される。以降この動作を繰返すことによりフレーム形式の画像の画素データ列のうち第2フィールドの画素データに対する書込が禁止され、第1フィールドの画素データのみがメモリセルアレイ280内に書込まれる。

【0328】すなわち、図128に示すようにフレーム形式画像290から必要とされる第1フィールドの画素データのみを選択してメモリセルアレイ280内へ書込むことにより、第1フィールド画素データのみでサーチウィンドウを形成することができ、フレーム形式の画像の画素データ列からフィールド形式画像の画素データを得ることができる。

【0329】データの読出は、先に示したフィールド/フィールド画像のデータ読出動作（図122（B）参照）と同じである。

【0330】上述のようにフレーム形式画像から必要とされるフィールドの画像データのみを抽出してメモリセル内へ格納することにより、入力画像データの画像形式にかかわらず常にフィールド単位で動きベクトルを検出することが可能となる。

【0331】〔データバッファの構成〕図129はプロセッサレイ内に含まれるサイドウィンドウブロックデータを格納するためのデータレジスタの構成を示す図である。図129において、データレジスタ（バッファ）DLは、複数の縦続接続されたデータ転送機能を備えるレジスタを含む。複数のレジスタは2つつグループに分割される。図129においては2つのレジスタグループG#1、およびG#nを代表的に示す。レジスタグループG#1、…、G#nはそれぞれ縦続接続されたレジスタRG1およびRG2を含む。これらのレジスタグループG#1～G#nは一方方向に沿って図示しないクロック信号にตอบสนองしてサーチウィンドウ画素データを伝達する機能を備える。

【0332】データバッファDLはさらに、各レジスタグループG#1～G#nの出力のいずれかを選択信号 ϕ SELに従って選択するセクタ300を含む。この選択信号 ϕ SELは外部から与えられる。このセクタ300により、データバッファDLのレジスタの段数を変更することができる。たとえばレジスタグループG#1が選択された場合、このデータバッファDLのレジスタの段数は2であり、サーチウィンドウ画素データを2画素格納することができる。レジスタグループG#nが選択された場合には、このデータバッファDLはそこに含まれるレジスタの段数だけサーチウィンドウ画素データを格納することができる。

【0333】データバッファDLは、サイドウィンドウブロックの画素データを格納する（図8参照）。したがって、データバッファに含まれるレジスタの段数を変更することによりサイドウィンドウブロックのサイズを

更することができ、応じてサーチウィンドウのサイズ、すなわちサーチエリアの範囲を変更することができる。これにより仕様に応じてサーチエリアが変更されても容易に対応することができる。なお、レジスタグループに含まれるレジスタの数およびレジスタグループの数は任意である。

【0334】〔データバッファの変更例1〕図130はデータバッファの変更例を示す図である。図130において、データバッファDLは縦続接続された複数のレジスタRGa～RGnを含む。これらのレジスタRGa～RGnを介してデータ転送が可能である。レジスタRGa～RGnの出力部に活性化信号 $\phi a \sim \phi n$ にตอบสนองして導通する選択ゲートSEL a～SEL nがそれぞれ設けられる。外部から与えられる選択信号 $\phi a \sim \phi n$ のうちのいずれか1つが活性状態とされる。導通状態とされた選択ゲートSEL iは、対応のレジスタRG iの出力をデータ線302へ伝達する。このデータ線302は要素プロセッサレイ内における同じ線形プロセッサレイの最下流の要素プロセッサPEmの入力部に接続される。

【0335】図130に示す構成に従えば、選択信号 $\phi a \sim \phi n$ に従ってデータバッファのレジスタ段数をレジスタ単位で設定することができ、より柔軟にサーチエリアの仕様変更に対処することができる。

【0336】〔データバッファの他の構成例〕図131は、データバッファの他の具体的構成を示す図である。図131において、データバッファDLは、サーチウィンドウ画素データを入力する入力回路310と、入力回路310から与えられるサーチウィンドウ画素データを各ファイルに格納する複数のファイルを備えるレジスタファイル312と、レジスタファイル312へのデータ書込時におけるライトアドレスポインタを発生するライトアドレス発生回路316と、レジスタファイル312からのデータ読出時に用いられるリードアドレスポインタを発生するリードアドレス発生回路314と、レジスタファイル312からのリードアドレス発生回路314により指定されたファイルの内容を読出す出力回路318と、リードアドレス発生回路314の初期アドレスを設定する初期アドレス設定回路319を含む。レジスタファイル312は、たとえばSRAMセルを用いて構成される、1ファイルに1画素データを格納する。ライトアドレス発生回路316およびリードアドレス発生回路314は、それぞれライトクロック信号 ϕW およびリードクロック信号 ϕR に従ってアドレスを順次1ずつ増分または減分する。このデータバッファDLの構成においては、データの読出が行なわれた後にデータの書込が実行される。読出すべきデータが新たに与えられたデータで変更されるのを防止するためである（ただしリードアドレスとライトアドレスが同じアドレスを指定するように設定される場合）。次に図131に示すデータバッ

アの動作を図 152 を合わせて参照して説明する。

【0337】図 152 においては、レジスタファイル 312 のファイル数が 8 であり、8 個のファイルにそれぞれアドレス 0 ないし 7 が割り当てられている構成が一例として示される。また図 152 においては、初期アドレス設定回路 319 は、リードアドレス発生器 314 の初期アドレスとしてアドレス 4 を指定している。

【0338】ライトアドレス発生回路 316 は、ライトクロック信号 ϕW に従ってアドレス 0 から順次書込アドレスを指定する。このライトアドレス発生回路 316 からのライトアドレスポインタに従って入力回路 310 は与えられたサーチウィンドウ画素データをレジスタファイル 312 における対応のファイルに書込む。したがってレジスタファイル 312 においてアドレス 0、1、…に対し入力されたサーチウィンドウ画素データ SY1、SY2、…が順次書込まれる。リードアドレス発生回路 314 は、リードクロック信号 ϕR に従って、初期アドレス設定回路 319 により設定された初期アドレス 4 から順次アドレスを指定する。リードアドレス発生回路 314 が発生するリードアドレスポインタも 0 になると、レジスタファイル 312 のアドレス 0 に格納された画素データ SY1 が出力回路 318 により読出される。以降順次レジスタファイル 312 に格納された画素データ SY2、SY3、…がリードクロック信号 ϕR に従って読出される。したがってこの構成においては、入力サーチウィンドウ画素データは 5 クロックサイクル遅れて出力されることになる。したがってこの初期アドレス設定回路 319 によるリードアドレスの初期アドレスを変更することにより、このデータバッファの遅延時間を変更することができ、このデータバッファに格納される有効サーチウィンドウ画素データの数は変更することができ、サーチエリア（サーチウィンドウ）の垂直方向のサイズを変更することができる。データバッファの遅延時間を変更することによりサーチエリアの垂直方向のサイズが変更されることについて以下に具体的に説明する。

【0339】図 133 (A) に示すように、ライトアドレスポインタ WP がアドレス 4 を示しているとき、リードアドレスポインタ RP がアドレス 0 を示す状態を考える。この状態においては、レジスタファイル 312 においてはサーチウィンドウ画素データ SY1～SY5 が格納されている。

【0340】図 133 (B) に示すようにライトアドレス WP が 7 を示すとき、リードアドレス RP はアドレス 3 を示す。この状態においてはアドレス 0、1 および 2 のファイルに格納された画素データ SY1～SY3 は既に読出されている。したがって画素データ SY4 を読出す前には、レジスタファイル 312 においては画素データ SY4～SY8 の画素データが有効画素データ（これから読出されるべき画素データ）として格納されている。

【0341】図 133 (C) に示すようにさらにクロックサイクルが進み、ライトアドレスポインタ WP がアドレス 3 を示すとき、リードアドレスポインタ RP はアドレス 7 を示している。この状態においては、アドレス 4 ないし 6 に格納された画素データ SY5～SY7 は既に読出されており、消費された画素データである。この状態においても、レジスタファイル 312 に格納された画素データ SY8～SY12 が有効画素データとなる。

【0342】次のサイクルにおいては、図 133 (D) に示すようにライトアドレスポインタ WP がアドレス 4 を指定し、リードアドレスポインタ RP がアドレス 0 を指定する。この状態においては画素データ SY9～SY13 が有効画素データとなる。

【0343】すなわち、入力サーチウィンドウ画素データはレジスタファイル 312 内のすべてのファイル（図示の例では 8 個のファイル）に格納されるが、有効サーチウィンドウ画素データの数はすべてのレジスタファイルの数以下となる（図示の例では 5）。このレジスタファイル 312 内に格納される有効サーチウィンドウ画素データの数は初期アドレス設定回路 319 が指定する初期アドレスに 1 加えた値と等しくなる。したがってこのレジスタファイル 312 は図 133 (E) に示すように 5 段のレジスタ RG1～RG5 を縦続接続したシフトレジスタと等価な構成となる。データバッファ内には図 8 に示すサイドウィンドウブロックの画素データが格納される。この図 133 (E) に示すレジスタの段数はサイドウィンドウブロックの垂直方向の画素数に等しい。したがって図 131 に示す構成を利用することにより、サイドウィンドウブロックの垂直方向の長さを変更することができ、応じてサーチウィンドウの垂直方向の長さを調節することができる。

【0344】上述の構成により、任意のサーチエリアのサイズに対して柔軟に対処することが可能となる。

【0345】〔階層化動きベクトル検出方式〕図 134 はこの発明に従う階層化動きベクトル検出方式に用いられるサーチエリアおよびテンプレートブロックの構成を示す図である。図 134 において、テンプレートブロック 350 は、先に説明した全探索方式動きベクトル検出装置において用いられるものと同様、16 画素（行）× 16 画素（列）の画素で構成される。動きベクトル探索範囲は水平および垂直方向ともに ± 64 画素である。したがってサーチエリア 352 は、 $(64 + 16 + 64) \times (64 + 16 + 64) = 142 \times 142$ 画素で構成される。

【0346】階層化動きベクトル検出方式においては、2 段階で動きベクトルの探索が行なわれる。第 1 段階ではサーチエリア 352 内の評価点（変位ベクトルに対応し、評価関数値が求められる点： $(-64, -64) \sim (64, 64)$ の各点）を間引いてブロックマッチング処理を行なって評価関数値を算出する。算出された評価

関数値から最も良い相関度を示す最適評価関数値および対応の変位ベクトルを求める。この最適評価関数値および対応の変位ベクトルの検出を複数の予測モードそれぞれに対して並列に実行する。次に具体的に第1段階のブロックマッチング処理について説明する。

【0347】図135 (A) に示すように、まず、評価点 $(-64, -64)$ のサーチウィンドウブロック 354a のテンプレートブロック 350 に対する評価関数値が算出される。この評価関数値の算出動作は先の全探索方式の動きベクトル検出装置において述べたものと同様、対応の画素間の差分絶対値の算出および求められた差分絶対値の総和が求められる。この評価関数値としては差分絶対値和に代えて差分自乗和などの他の評価関数値が用いられてもよい。

【0348】次いで、図135 (B) に示すように、評価点 $(-64, -63) \sim (-64, -57)$ の7評価点がスキップされ(間引かれ)、評価点 $(-64, -56)$ に対応するサーチウィンドウブロック 354b の評価関数値が算出される。7つの評価点をスキップしての評価関数値算出を繰返し、サーチエリア 352 の下部の評価点 $(64, 64)$ の評価関数値の算出が完了すると、再度サーチエリア 352 の図の上部側からの評価関数値算出が行なわれる。評価点列変換時においては、図135 (C) に示すように、水平方向に7画素分評価点がスキップされ、次に評価関数値が算出される評価点は $(-56, -64)$ となる。以降垂直方向に7画素分ずつ評価点をスキップして評価関数値を算出し、サーチエリア 352 の下部に評価点に到達すると、水平方向に7画素分の評価点をスキップして再度サーチエリア 352 の上部から順次評価関数値を算出する。

【0349】図135 (A) ~ (C) に示す一連の動作を繰返すと、図136に示すように、サーチエリア 352 内のすべての代表評価点 E (評価関数値が算出される評価点であり、水平および垂直方向の8評価点ごとに配置された評価点) に対する評価関数値が算出される。これらの代表評価点 E の評価関数値から最も高い相関度を示す評価関数値を検出し、対応の評価点 E s t が決定される。この最適代表評価点 E s t は複数の予測モードそれぞれに対して求められる。以上の一連の動作が第1段階の概略探索動作シーケンスであり、次に第2段階の探索動作が行なわれる。

【0350】第2段階の探索動作においては、図137に示すように、最適代表評価点 E s t の周辺領域(全探索領域) 356 をサーチエリアとし、この周辺領域 356 内のすべての評価点に対する探索が行なわれる。周辺領域 356 は、少なくともスキップされた評価点を包含する。図137に示す構成では、周辺領域 356 は探索範囲を最適代表評価点を基準として水平および垂直 ± 16 とする。したがって周辺領域 356 は 32×32 評価点を含む。この周辺領域 356 内の $32 \times 32 = 931$

の評価点すべてに対し評価関数値の算出を行ない、この算出された評価関数値に従って最適評価点を求め、この最適評価点に対応する変位ベクトルを動きベクトルとして決定する。この全探索動作が複数の予測モードそれぞれに対して並列に実行される。

【0351】第1段階での評価点の数は $(8+1+8) \times (8+1+8) = 17 \times 17 = 289$ であり、第2段階での評価点の数は $32 \times 32 = 1024$ であり、合計 1313 となる。したがって全探索方式に比べて広い画像領域をサーチエリアとして動きベクトル検出を行なうことができ、また複数の予測モードそれぞれに対し並列に動きベクトルが決定されるため、装置規模を増大させることなく効率的に動きベクトルを決定することができる。次に具体的構成について説明する。

【0352】[階層探索方式動きベクトル検出装置の第1の実施例] 図138は、階層探索方式動きベクトル検出装置の第1の実施例の構成を概略的に示す図である。図138において、階層探索方式動きベクトル検出装置は、サーチエリア内の代表評価点に対する評価関数値をフィールド予測モード、上サブテンプレートブロック予測モード、および下サブテンプレートブロック予測モードそれぞれに従って同時に算出し、これら算出した評価関数値 e f、e u および e l を対応の変位ベクトル(評価点位置を表わす) v f、v u および v l とともに比較選択部 404 へ与える粗探索演算部 402 を含む。この粗探索演算部 402 は、その具体的構成は後に説明するが、図135 (A) ないし (C) および図136を参照して説明した第1段階の探索動作を実行する。ここで、動きベクトル検出装置はフィールドを単位として動きベクトルを検出する。フィールド予測モードに従って算出される評価関数値および変位ベクトルを e f および v f で示し、上サブテンプレートブロック予測モードに従って算出される評価関数値および対応の変位ベクトルを e u および v u で表わし、下サブテンプレートブロック予測モードに従って算出される評価関数値および対応の変位ベクトルを e l および v l で表わす。

【0353】比較選択部 404 は、粗探索演算部 402 からの評価関数値 e f、e u および e l ならびに変位ベクトル v f、v u および v l を受け、フィールド予測モード、上サブテンプレートブロック予測モード、および下サブテンプレートブロック予測モードそれぞれに対する最適代表評価点を決定し、各予測モードの最適代表評価点を示す変位ベクトル v f s t、v u s t および v l s t を出力する。最適変位ベクトル v f s t、v u s t および v l s t は、それぞれフィールド予測モードによる最適変位ベクトル、上サブテンプレートブロック予測モードにおける最適変位ベクトルおよび下サブテンプレートブロック予測モードにおける最適変位ベクトルを表わす。

【0354】動きベクトル検出装置はさらに、比較選択

部 404 から与えられた最適変位ベクトル $vfst$ 、 $vust$ および $vlst$ に従って最適代表評価点周辺領域を各最適変位ベクトルに対して抽出し、抽出された周辺領域において全探索を行なう密探索演算部 406 を含む。密探索演算部 406 は、最適変位ベクトル $vfst$ 、 $vust$ および $vlst$ それぞれに対して設けられた第 1 ないし第 3 の全探索演算部 410、412 および 414 を含む。第 1 の全探索演算部 410 は、最適変位ベクトル $vfst$ に従って最適代表評価点周辺領域を抽出し、フィールド予測モード、上サブテンプレートブロック予測モード、下サブテンプレートブロック予測モードそれぞれに従って最適評価点を算出し、最適評価点を表わす変位ベクトル $Vf1$ 、 $Vu1$ および $Vl1$ と対応の評価関数値 $Ef1$ 、 $Eu1$ および $El1$ を比較選択部 408 へ与える。

【0355】第 2 の全探索演算部 412 は、上サブテンプレートブロック予測モードに従って求められた最適変位ベクトル $vust$ に従って最適代表評価点周辺領域を抽出し、この最適代表評価点周辺領域に対し 3 つの予測モードに従って評価関数値を求め、対応の変位ベクトルとともに比較選択部 408 へ与える。

【0356】第 3 の全探索演算部 414 は、下サブテンプレートブロック予測モードに従って決定された最適変位ベクトル $vlst$ に従って最適代表評価点周辺領域を抽出し、この最適代表評価点周辺領域に対し全探索方式で評価関数値算出を行ない、予測モードそれぞれに対する評価関数値 $Ef3$ 、 $Eu3$ および $El3$ を対応の変位ベクトル $Vf3$ 、 $Vu3$ および $Vl3$ とともに比較選択部 408 へ与える。

【0357】比較選択部 408 は、合計 9 種類の評価関数値 $Ef1$ 、 $Eu1$ 、 $El1$ 、 $Ef2$ 、 $Eu2$ 、 $El2$ 、 $Ef3$ 、 $Eu3$ および $El3$ から最も相関度の高い評価関数値（最小の評価関数値を求め、対応の予測モード、変位ベクトル MV 、および評価関数値 EV を出力する。

【0358】図 139 は、図 138 に示す粗探索演算部 402 および比較選択部 404 の構成を概略的に示す図である。図 139 において、粗探索演算部 402 は、外部のプレーンメモリに格納された参照画像データからサーチウィンドウブロックサイズの画素データを格納するメモリセルアレイ 412 と、メモリセルアレイへの画素データ書込時のライトアドレスポインタを発生するライトアドレス発生器 414 と、メモリセルアレイ 412 からの画素データ読出時にリードアドレスポインタを発生するリードアドレス発生器 416 と、メモリセルアレイ 412 から読出された 1 行のデータをラッチしかつ転送する出力回路 418 と、テンプレートブロックの画素に対応して行および列のマトリックス状に配列される要素プロセッサを含む要素プロセッサアレイ 419 と、要素プロセッサアレイ 419 の要素プロセッサから出力され

る差分絶対値をそれぞれ予測モードに従って総和し、各予測モードに対応する評価関数値 $\Sigma |a-b|$ 、 $\Sigma u |a-b|$ および $\Sigma l |a-b|$ を出力する総和部 420 とを含む。要素プロセッサアレイ 419 の要素プロセッサのテンプレートブロック画素データ格納部へはテンプレートブロックデータメモリ 425 からテンプレートブロック画素データが転送される。

【0359】比較選択部 404 は、総和部 420 からの評価関数値を並列に受け、各予測モードに対して最適評価点を表わす変位ベクトル $vfst$ 、 $vust$ および $vlst$ を出力する比較部 422 を含む。この比較選択部 404 の構成は先に図 30 および図 27 を参照して説明した比較部の構成と同様であり、この動作説明は繰返さない。

【0360】図 140 は、要素プロセッサアレイ 419 の具体的構成を示す図である。図 140 において要素プロセッサアレイ 419 は、行および列のマトリックス状に配列された要素プロセッサ PE を含む。図 140 の水平方向に配列された 16 個の要素プロセッサ $PE0 \sim PE15$ は線形プロセッサアレイ LA を構成する。16 個の線形プロセッサアレイ $LA0 \sim LA15$ が配列される。要素プロセッサ PE ($PE0 \sim PE15$) は自身が属する線形プロセッサアレイ LA ($LA0 \sim LA15$) において隣接（図 140 の右側）の要素プロセッサへサーチウィンドウブロック画素データおよびテンプレートブロック画素データを転送することができる。

【0361】メモリセルアレイ 412 は、16 行 16 列に配列されたメモリセルを含む。図 140 においては、メモリセルアレイ 412 において 16 行のメモリセルに対応して配置された 16 本のワード線 $WL0 \sim WL15$ を示す。メモリセルアレイ 412 からのデータ読出時には 1 行のメモリセルのデータが同時に選択されて出力回路 418 へ与えられる。外部のプレーンメモリからのサーチウィンドウ画素データ書込時においては、装置の外部から画素データを受けるため、先の図 114 ないし図 127 に示すように 1 本のワード線を選択し、この選択されたワード線へ順次画素データが書込まれる。このメモリセルアレイ 412 は、好ましくは $SRAM$ セルのアレイで構成される（高速アクセスを可能とするためである）。

【0362】図 141 は、要素プロセッサアレイ 419 に含まれる要素プロセッサ $PE15$ の構成を示す図である。図 141 において、要素プロセッサ $PE15$ は、出力回路 418 からのサーチウィンドウ画素データを格納しかつ転送するデータレジスタ 431 と、テンプレートブロックデータメモリ 425 からのテンプレートブロック画素データを格納するためのデータレジスタ 432 と、データレジスタ 431 および 432 の格納データの差分絶対値を求める差分絶対値回路 433 を含む。この図 141 に示す要素プロセッサ $PE15$ の構成は、図 2

123

0に示す要素プロセッサの構成と同じであり、単にデータバッファからサーチウィンドウ画素データを受ける代わりに出力回路418から画素データを受ける点が異なっているだけであり、それ以外の動作は同様である。データバッファが設けられていないため、サーチウィンドウ画素データは線形プロセッサアレイLA(LA0~LA15)内においてのみ転送される。次にこの図140に示すメモリセルアレイから要素プロセッサへのデータ転送動作について図142を併せて参照して説明する。

【0363】図142(A)に示すように、要素プロセッサアレイ419においては、変位ベクトル(-64, -64)のサーチウィンドウブロック354aが格納されている状態を考える。このとき図139に示すライトアドレス発生器414は、行アドレス0から行アドレス7まで順次変化させ、行アドレス0ないし7の各行にサーチエリア352内の第-48行ないし第-41行の16個の画素データを格納する。この状態では、メモリセルアレイ412においては、変位ベクトル(-56, -64)の画素データが格納されている。

【0364】変位ベクトル(-64, -64)に対する評価関数値の算出が完了すると、リードアドレス発生器416からのリードアドレスポインタRPが0から7まで順次発生される。行アドレス0には第-48行の画素データが格納されている。1行の画素データを読み出して出力回路418を介して要素プロセッサアレイ419へ伝達することにより、第-48行ないし第-41行の画素データが順次要素プロセッサアレイ419内に格納される。このとき要素プロセッサアレイ419内においては、サーチウィンドウブロック画素データの隣接要素プロセッサ間の転送が実行されている。したがって行アドレス7の第-41行の画素データが要素プロセッサアレイ419に格納されたとき、要素プロセッサアレイ419においては変位ベクトル(-56, -64)の画素データが全て格納されている。1行の画素データの要素プロセッサアレイ419への格納と同時に1行ずつ画素データが要素プロセッサアレイ内をシフトされているためである。

【0365】このメモリセルアレイ412からの画素データ読出と並行してライトアドレス発生器414からのライトアドレスポインタWPが行アドレス8から15へ変化し、第-40行ないし第-33行の画素データが格納される。この変位ベクトル(-56, -64)のサーチウィンドウブロック354bに対する評価関数値の算出が完了すると、次いでメモリセルアレイ412からはリードアドレスポインタRPに従って行アドレス8ないし15の画素データが行単位で順次読出されて要素プロセッサアレイ419へ与えられる。これにより要素プロセッサアレイ419においては変位ベクトル(-48, -64)に対応する画素データが格納される。このデータ読出動作と並行してライトアドレスポインタWPに従

124

って行アドレス0ないし7の位置に第-32行ないし第-25行の画素データが格納される。以降、上述の動作を繰返すことによりサーチエリア352内の代表評価点に対する評価関数値の算出が実行される。

【0366】画素データ読出を行単位で実行し、要素プロセッサアレイ419内へシフトさせることによりサーチウィンドウブロックの半分の画素データを読出すだけで次の代表評価点に対するサーチウィンドウブロックを要素プロセッサアレイ419内に格納することができる。

【0367】図143は比較選択部404からの最適代表評価点に対応する変位ベクトルvfst、vustおよびvlstに従って密探索演算部406に対する周辺領域画素データを転送するための構成を示す図である。図143において、データ転送制御系は、粗探索演算部402における最適代表評価点検出動作完了を検出すると(サーチエリア内の代表評価点の数は予め定められており、粗探索動作サイクルを規定するクロック信号をカウントすることにより容易に識別することができる)、読出制御回路452を活性化するとともに、第1の全探索演算部用メモリ455a、第2の全探索演算部用メモリ455b、および第3の全探索演算部用メモリ455cのデータ書込タイミングおよびアドレスを発生する入出力制御回路454を含む。

【0368】読出制御回路452は、活性化時には、最適代表評価点に対応する変位ベクトルvfst、vustおよびvlstを順次デコードし、この変位ベクトル周辺領域を含むアドレスを発生し、参照画像メモリ450から変位ベクトルvfst、vustおよびvlstそれぞれの周辺領域画素データを順次読出す。この参照画像メモリ450から読出された周辺領域画素データは入出力制御回路454の制御の下にメモリ455a、455bおよび455cへ順次格納される。このメモリ455a~455cへの画素データ格納動作と並行してメモリ455a~455cにおいてはその格納データの読出が実行され、それぞれ対応の第1の全探索演算部、第2の全探索演算部および第3の全探索演算部へ周辺領域画素データが転送される。メモリ455a~455cは周辺領域の画素データすべてを格納する(32×32評価点画素データであり、それほど大きな記憶容量は要求されない)。この全探索演算部用メモリ455a~455cへ格納されたデータは、密探索演算部406における探索動作に同期してその格納画素データが読出されて対応の全探索演算部の入力部へ伝達される。第1の全探索演算部410、第2の全探索演算部412、および第3の全探索演算部414の構成は先に図28を参照して説明した動きベクトル検出装置のそれと同じである。単にサーチエリアのサイズが異なっているだけであり、同様の動作を行なって複数の予測モード(フィールド予測モード、上サブテンプレートブロック予測モード、およ

び下サブテンプレートブロック予測モード)に従って評価関数値算出を実行する。これにより、それぞれ複数の予測モードに対応する変位ベクトルが出力される。

【0369】比較選択部408は、この密探索演算部406から与えられる9種類の最適変位ベクトルに対応する評価関数値の最小値を求め、この最小評価関数値およびそれに対応する変位ベクトルを動きベクトルMVおよび評価関数値EVとして出力する。この構成は、単に9入力のうちの最小値を求めるだけであり、容易に実現することができる。

【0370】〔階層探索方式動きベクトル検出装置の第2の実施例〕図144は、階層探索方式動きベクトル検出装置の第2の実施例の構成を示す図である。図144に示す動きベクトル検出装置は、密探索演算部406が、3つの予測モードそれぞれについての評価関数値および最適変位ベクトルのみ、すなわち3種類の評価関数値および最適変位ベクトルのみを出力する点が図138に示す構成と異なっている。

【0371】密探索演算部406は、並列に設けられた第1、第2および第3の全探索演算部460、462および464を含む。第1の全探索演算部460は、比較選択部404から与えられるフィールド予測モードに従って決定された最適代表評価点に対応する変位ベクトルv f s tを中心評価点としてその周辺領域に含まれるすべての評価点に対してフィールド予測モードに従ってブロックマッチング処理を行ない、最適評価点に対応する変位ベクトルv fおよびその評価関数値E fを求める。

【0372】第2の全探索演算部462は、比較選択部404から与えられる上サブテンプレートブロック予測モードに従って決定された最適代表評価点に対応する変位ベクトルv u s tを受け、その最適代表評価点を中心とする周辺領域に含まれるすべての評価点に対し上サブテンプレートブロック予測モードに従って最適評価点を求め、この求めた最適評価点に対応する変位ベクトルV u、および評価関数値E uを出力する。

【0373】第3の全探索演算部464は、比較選択部404からの下サブテンプレートブロック予測モードに従って決定された最適代表評価点に対応する変位ベクトルv l s tに従って、この変位ベクトルv l s tが示す評価点を中心とする周辺領域に含まれる評価点すべてに対し下サブテンプレートブロック予測モードに従って最適評価点を求め、対応の変位ベクトルV s、および評価関数値E sを出力する。

【0374】比較選択部408は、密探索演算部406から出力される最適変位ベクトルV f、V uおよびV sならびに評価関数値E f、E uおよびE sを受け、これら3つの評価関数値E f、E uおよびE sのうち最も高い類似度を示す(最も小さい)評価関数値を求め、その最小評価関数値EVおよび対応の変位ベクトルを動きベクトルMVとして出力する。

【0375】図145は、第1の全探索演算部460の構成を説明するための図である。図145(A)に示すように、フィールド予測モードに従って評価関数値を決定する場合、テンプレートブロック472のサイズが16画素×16画素であり、サーチウィンドウブロック470のサイズも同様16画素×16画素となる。サーチウィンドウブロック470およびテンプレートブロック472の対応の画素の差分絶対値の総和が求められる。

【0376】図145(B)に示すように、探索範囲は32画素×32画素である(探索範囲が水平および垂直方向±8のとき)。サーチウィンドウのサイズは32画素×16画素である。第1の全探索演算部460は、図4に示す構成と同様のプロセッサレイを含む。要素プロセッサ群は16行16列に配列され、データバッファ群が8行16列の画素データを格納するように配列される。順次サーチエリア474内のサーチウィンドウ画素データをシフトさせて評価関数値の算出を行なう。

【0377】図146は、第2の全探索演算部の構成を概略的に示す図である。第2の全探索演算部462はテンプレートブロックは8画素(行)×16画素(列)のサイズを備える。16画素×16画素のテンプレートブロックの上半分のブロックに含まれる画素データのみが用いられるためである。この場合、サーチウィンドウブロックも同様8画素(行)×16画素(列)のサイズとなる。探索範囲が32画素×32画素の場合、上サブテンプレートブロック予測モードにおいては、32画素×32画素の領域において、下側8行の画素データは利用されない(16画素×16画素のブロックを単位として評価関数値の算出が行なわれるためである)。すなわちサーチウィンドウ476において最下部にサーチウィンドウブロック477が到達した場合、この32画素×32画素の探索範囲における残りの領域478の画素データは利用されない。したがってこの上サブテンプレートブロック予測モードにおけるサーチエリア479は、24画素行×32画素列のサイズを備える。第2の全探索演算部462は、図4に示す構成と同様の構成を備えるが、要素プロセッサ群が8行16列に配列され、データバッファ群が16行16列の画素データを格納するように配置される。このサーチエリア479内の画素データを順次シフトして第2の全探索演算部462は評価関数値の算出、および最適変位ベクトルの検出を行なう。

【0378】図147は第3の全探索演算部の構成を説明するための図である。下サブテンプレートブロック予測モードにおいては、16画素×16画素のテンプレートブロックのうちの下半分のブロックに含まれる画素データが利用される。したがってサーチウィンドウブロック482のサイズは8画素行×16画素列となる。32画素行×32画素列の周辺領域の画素データのうち、上部8行の画素データは利用されない。たとえば図147においてブロック482および483の位置に対する評

価関数値算出が行なわれる場合、ブロック 483 の画素データは利用されない。ブロック 482 に含まれる画素データのみが利用される。したがってこの下サブテンプレートブロック予測モードにおけるサーチエリア 484 は、32 画素行×32 画素列のうち、下側 24 行×32 画素の画素データで構成される。第 3 の全探索演算部 464 はしたがって図 4 に示す構成と同様の構成を備えるが、8 行 16 列に配列される要素プロセッサ群と、16 行 16 列に配列される画素データを格納するデータバッファ群とを含む。サーチエリア 484 内の画素データを順次 1 画素分ずつシフトして評価関数値の算出を行なう。

【0379】この第 2 の実施例に示す構成においては、密探索演算部 406 においては、3 つの演算部が設けられているが、これらの 3 つの演算部はそれぞれ異なる予測モードに従って最適変位ベクトルを算出しており、装置規模を低減することができるとともに、並列に複数の予測モードに従って最適変位ベクトルを検出し、これらの検出された最適変位ベクトルに従って動きベクトルを決定しているため、高速で最適な動きベクトルを検出することができ、最適を予測画像を得ることができる。

【0380】なお、全探索演算部 460、462 および 464 へのそれぞれのサーチエリアの画素データの伝達を図 64 に示す構成と同様の構成を利用することができる。

【0381】〔階層探索方式動きベクトル検出装置の第 3 の実施例〕図 148 は階層探索方式動きベクトル検出装置の第 3 の実施例を示す図である。図 148 において、比較選択部 492 は、粗探索演算部 402 から与えられる評価関数値 e_f 、 e_u および e_l を対応の変位ベクトル v_f 、 v_u および v_l を受け、最適代表評価点を求めるとともに、最適予測モードを検出し、この検出された最適予測モードに対応する最適代表評価点に対応する変位ベクトル v_{st} および評価関数値 e_{st} を出力する。

【0382】密探索演算部 406 は、1 つの全探索演算部 494 を含む。全探索演算部 494 は、比較選択部 492 から与えられた最適代表評価点に対応する変位ベクトル v_{st} に従ってその周辺領域に含まれる画素データ（または評価点）のすべてに対しフィールド予測モード、上サブテンプレートブロック予測モード、および下サブテンプレートブロック予測モードに従って最適変位ベクトル V_f 、 V_u および V_l と対応の評価関数値 E_f 、 E_u および E_l を決定する。この全探索演算部 494 の構成としては、図 1 に示す動きベクトル検出装置の構成を利用することができる。

【0383】比較選択部 408 は、この全探索演算部 494 から与えられた評価関数値 E_f 、 E_u および E_l から最適予測モードを決定し、その最適予測モードに対応する変位ベクトルおよび評価関数値を動きベクトル M

V 、および評価関数値 EV として出力する。

【0384】図 149 は図 148 に示す比較選択部 492 の構成の一例を示す図である。図 149 において、比較選択部 492 は、フィールド予測モードに従って算出された評価関数値 e_f および対応の変位ベクトル v_f を受けて最適代表評価点に対応する変位ベクトル v_{fst} および評価関数値 e_{fst} を出力する第 1 の比較部 502 と、上サブテンプレートブロック予測モードに従って算出された評価関数値 e_u および対応の変位ベクトル v_u を受け、最適代表評価点に対応する評価関数値 e_{ust} および対応の変位ベクトル v_{ust} を出力する第 2 の比較部 504 と、下サブテンプレートブロック予測モードに従って算出された評価関数値 e_l および対応の変位ベクトル v_l を受け、最適代表評価点に対応する変位ベクトル v_{lst} および対応の評価関数値 e_{lst} を出力する第 3 の比較部 506 を含む。第 1、第 2 および第 3 の比較部 502、504 および 506 の構成は図 27 に示す構成と同様であり、最小の評価関数値が最適代表評価点に対応する評価関数値として決定される。

【0385】比較選択部 492 はさらに、第 2 および第 3 の比較部 504 および 506 から出力される最適評価関数値 e_{ust} および e_{lst} を加算する加算回路 508 と、加算回路 508 の出力と第 1 の比較部 502 からの最適評価関数値 e_{fst} を比較する比較器 510 と、比較器 510 の出力が最適評価関数値 e_{fst} が加算回路 508 の出力よりも小さいことを示すとき第 1 の比較部 502 からの最適評価関数値 e_{fst} および変位ベクトル v_{fst} を伝達するゲート回路 514 と、比較器 510 の出力が加算回路 508 の出力の方が大きいことを示すとき活性化され、第 2 および第 3 の比較部 504 および 506 からの評価関数値 e_{ust} および e_{lst} を比較する比較器 512 と、比較器 512 の出力に従って第 2 の比較部 504 からの評価関数値 e_{ust} および変位ベクトル v_{ust} を第 3 の比較部 506 からの評価関数値 e_{lst} および変位ベクトル v_{lst} の一方を通過させるセレクタ 516 を含む。

【0386】図 149 に示す比較選択部 492 は、以下の判断動作を行なっている：

```

if    efst < eust + elst
est = efst、vst = vfst
else if eust < elst
est = eust、vst = vust
else    est = elst、vst = vlst

```

図 148 に示す比較選択部 408 も図 149 に示す比較選択部 492 と同様の構成を備える。すなわち図 148 に示す比較選択部 408 は、図 149 に示す構成から入力段の比較部 502、504 および 506 を除いた構成を備える。

【0387】この第 3 の実施例の動きベクトル検出装置の場合、密探索演算部において用いられる全探索演算部

は1つであり、装置規模を低減することができる。

【0388】〔階層探索方式動きベクトル検出装置の第4の実施例〕図150は、階層探索方式動きベクトル検出装置の第4の実施例の構成を示す図である。図150に示す動きベクトル検出装置においては、比較選択部522は、粗探索演算部402から与えられた評価関数値 e_f 、 e_u および e_l と対応の変位ベクトル v_f 、 v_u および v_l を受けて最適代表評価点に対応する変位ベクトル v_{st} およびその最適代表評価点を与えた予測モードを示す最適予測モード指示データ p_{st} を出力する。

【0389】密探索演算部404は、1つの全探索演算部520を含む。全探索演算部520は、比較選択部522から与えられた最適代表評価点に対応する変位ベクトル v_{st} を中心とする周辺領域をサーチエリアとして全探索動作を行なって動きベクトルを検出する。このとき全探索演算部520は、比較選択部522から与えられた最適予測モード指示データ p_{st} が指定する予測モードに従ってのみブロックマッチング処理を実行して動きベクトルを決定する。比較選択部522の構成としては、図150に示す比較選択部492の構成を利用することができる。すなわち、図150に示す第1の比較部502、第2の比較部504、および第3の比較部506は、それぞれを示す識別ビットを予測モード指定データとして出力する構成が追加されればよい。これらの予測モード識別ビットはゲート回路514およびセレクタ516へ与えられて対応の評価関数値および変位ベクトルとともに選択されて出力される。これにより容易に最適予測モード指示データを生成することができる。

【0390】全探索演算部520は、最適予測モード指定データ p_{st} に従ってその従うべき予測モードが決定される。全探索演算部520の構成としては、図1に示す動きベクトル検出装置の構成をそのまま利用することができる。すなわち、最適予測モード指示データ p_{st} に従って、作成された3つの予測モードに従う変位ベクトルおよび評価関数値から1つを選択する構成が利用されればよい。またこれに代えて、全探索演算部520の構成としては図138に示す構成を利用することができる。この図138に示す密探索演算部の構成を利用する場合には、最適予測モード指示データ p_{st} に従って第1ないし第3の全探索演算部のうちの1つが動作状態とされる。全探索演算部520からはまた予測モード指示データ P_s が出力される。この場合最適予測モード指示データ p_{st} が利用されてこの予測モード指示信号 P_s が発生される。

【0391】なお、第1ないし第3の実施例の階層探索方式動きベクトル検出装置においては図面には予測モード指示データ P_s が出力されるようには示していない。しかしながらこの予測モード指示データ P_s が各実施例において出力されるように構成されてもよい。

【0392】また比較選択部522が最適予測モードを

決定し、その最適予測モードに従って決定された最適変位ベクトルを検出する際に用いられる判別方法としては図149に示す比較選択部と別の判別ステップが利用されてもよい。

【0393】さらに密探索演算部404においては、整数精度での動きベクトルの検出が実行されている。ハーフピクセル精度などの分数精度での動きベクトルを検出する構成が利用されてもよい。これらの分数精度での動きベクトルを検出する構成としては、たとえば本願発明者のグループが既に出願している特願平5-105432号の構成または図86に示す構成を利用することができる。さらに上記第1ないし第4の階層探索方式動きベクトル検出装置においては、フィールド単位で符号化するかわり予測画像の検出を行なう場合の動きベクトル検出を行なっている。この場合フレーム単位での符号化を行なう構成が利用されてもよい。この場合には、先に図1以降において説明した全探索方式の動きベクトル検出装置においてフレーム予測モード、奇数フィールド予測モード、および偶数フィールド予測モードに従って動きベクトルを検出する構成を用いることができる。

【0394】さらに階層探索方式動きベクトル検出装置において粗探索演算部が探索を行なう代表評価点の位置は8画素ごとではなく、他の条件に従って評価点が間引かれて代表評価点が決定されてもよい。また密探索演算部の探索範囲は間引かれて評価点を最少限含めばよく、そのサイズは任意である。

【0395】以上のように、複数の予測モードについて階層探索を行なって動きベクトルを検出するように構成したため、広範囲の領域をサーチエリアとして少ないハードウェア量または演算回数で高精度で探索して動きベクトルを検出することができ、正確に予測画像を作成することができ、高精度の符号化を実現することができる。

【0396】

【発明の効果】請求項1に係る発明においては、評価手段が複数の予測モードそれぞれに対応する評価関数値を並列に算出し、動きベクトル決定手段がこの評価手段の出力に従って各予測モードに対する動きベクトルを同時に決定するように構成したため、複数の予測モードに従って動きベクトルをハードウェア量を増大させることなく高速で検出することが可能となる。

【0397】請求項2に係る発明においては、評価手段が現画像ブロック（テンプレートブロック）の各画素に対応して配置されたプロセッサを有し、これらのプロセッサが現画像ブロックの画素と対応の参照画像ブロック（サーチウィンドウブロック）の画素との所定の演算（評価関数の成分値を求める）を行なって評価関数値を出力するように構成したため、複数の予測モードに共通の演算を1つの回路構成を用いて実行することができ、装置規模を低減することが可能となる。

【0398】請求項3に係る発明においては、複数の要素プロセッサは一方方向に沿ってのみ格納画素データを転送するように構成したため、1回のサーチウィンドウ画素データの転送動作によりサーチウィンドウブロックを書換えることができ、効率的に評価関数値を算出することができるとともに画素データ転送時における電流消費を低減することができる。

【0399】請求項4に係る発明においては、奇数フィールド予測モード、偶数フィールド予測モードおよびフレーム予測モードに従って動きベクトルを検出するように構成したため、フレーム単位での予測画像生成に対し効率的に動きベクトルを決定することができる。

【0400】請求項5に係る発明においては、上半分ブロック予測モード（上サブテンプレートブロック予測モード）、下半分ブロック予測モード（下サブテンプレートブロック予測モード）およびフィールド予測モードに従って動きベクトルを検出するように構成したため、フィールド単位での符号化時において高速かつ効率的に動きベクトルを検出することができる。

【0401】請求項6に係る発明においては、現画像ブロック（テンプレートブロック）画素データを格納するプロセッサを上半分ブロックに属しかつ偶数フィールドに属する画素に対応するプロセッサ群、上半分ブロックに属しかつ奇数フィールドに属する画素に対応するプロセッサ群、下半分ブロックに属しかつ偶数フィールドに属する画素に対応するプロセッサ群、および下半分ブロックに属しかつ奇数フィールドに属する画素に対応するプロセッサ群の4つのグループに分割し、モード指定信号に従ってこれらのプロセッサ群のグループ構成を変更して複数の予測モードに対応するように構成したため、フレーム単位での符号化およびフィールド単位での符号化いずれにも柔軟に対応することのできる汎用性の高い動きベクトル検出装置を実現することができる。

【0402】請求項7に係る発明においては、画面形式指定信号に従って入力画像データを画面形式を指定された画面形式に設定した後評価関数値を生成する評価手段へ与えるように構成したため、任意の画面形式の画像データが与えられても、容易に所望の複数の予測モードに従って動きベクトルを検出することができる。

【0403】請求項8に係る発明においては、プロセッサレイ内に配置されたサイドウィンドウブロック画素データの格納のためのバッファ手段の有効格納画素数を変更可能としたため、サーチエリアの大きさを容易に変更することができる。

【0404】請求項9に係る発明においては、サーチエリア内の評価点を間引いて代表評価点に対する複数の予測モードに従ってブロックマッチング処理を行なって最適代表評価点を求め、次いでこの求められた最適代表評価点の周辺領域に含まれる評価点すべてを対象としてブロックマッチング処理を行なって動きベクトルを検出す

るように構成したため、広い範囲をサーチエリアとして最適な予測画像を生成するための動きベクトルを高速で決定することができる。

【0405】請求項10に係る発明においては、全探索を行なう第1の演算手段のサーチエリアが複数の予測モードそれぞれに対して決定され、各決定されたサーチエリア内で複数の予測モードそれぞれに従って評価関数値の算出が行なわれて最適な動きベクトルが検出されるように構成しているため、複数の予測モードに従って最適な動きベクトルを決定することができる。

【0406】請求項11に係る発明においては、最適代表評価点が複数の予測モードに共通に1つ定められ、この最適代表評価点に従って複数の予測モードに従って全探索動作を行なって動きベクトルを検出するように構成したため、装置規模をさらに低減して複数の予測モードに従って広い範囲をサーチエリアとして最適な動きベクトルを容易に検出することができる。

【0407】請求項12に係る発明においては、最適評価点を与える予測モードに従ってこの最適代表評価点を含む周辺領域内の全評価点に対する評価関数値の演算および動きベクトルの検出を行なっているため、さらに装置規模を低減して広い範囲を探索して最適な動きベクトルを決定することができる。

【0408】請求項13に係る発明においては、現画像ブロックの各画素に対応してマトリックス状に配列されるプロセッサを利用して評価関数値成分を生成し、プロセッサレイの各プロセッサの出力を偶数フィールド、奇数フィールドおよびフレーム内画素に対応するプロセッサ群に分類し、各分類ごとにプロセッサの出力の総和を求め、この総和結果に従って奇数フィールド、偶数フィールドおよびフレームそれぞれに対する動きベクトルを並列に決定するように構成しているため、少ないハードウェア量で高速かつ効率的に動きベクトルを検出することができる。

【0409】請求項14に係る発明においては、現画像ブロック（テンプレートブロック）の各画素に対応してマトリックス状に配列されるプロセッサを利用して評価関数値成分を並列に生成し、これらのプロセッサの出力をフィールド内画素、現画像ブロックの上半分ブロック（上サブテンプレートブロック）、下半分ブロック（下サブテンプレートブロック）それぞれの画素に対応するプロセッサの出力に分類し、各分類ごとにプロセッサの出力の総和を求めて動きベクトルを検出しているため、少ないハードウェア量で高速かつ効率的にフィールド予測モード、上半分ブロック予測モード（上サブテンプレートブロック予測モード）、および下半分ブロック予測モード（下サブテンプレートブロック予測モード）それぞれに対する動きベクトルを検出することができる。

【0410】請求項15に係る発明においては、現画像ブロックの各画素に対応してマトリックス状に配列され

るプロセッサを利用して参照画像ブロック（サーチウィンドウブロック）と現画像ブロック（テンプレートブロック）の評価関数値成分を並列に生成し、プロセッサマトリックスを上半分ブロックおよび偶数フィールドに属する画素に対応するプロセッサ群、上半分ブロックおよび偶数フィールドに属する画素に対応するプロセッサ群、下半分ブロックおよび偶数フィールドの画素に対応するプロセッサ群、および下半分ブロックおよび奇数フィールドの画素に対応するプロセッサ群に4分割し、モード指定信号に従ってこのプロセッサ群の組合せを変更して3つの予測モードに対応する評価関数値を生成するように構成したため、異なる予測モードに対しても装置構成を変更することなく容易に対応することができ汎用性の高い動きベクトル検出装置を得ることができる。

【0411】請求項16に係る発明においては、入力参照画像データの入力順序と出力順序とが異ならせるように入力部のバッファ手段を構成したため、様々な画面形式の入力参照画像データが与えられても所望の予測モードに従う画面形式に変更してブロックマッチング処理を行なって動きベクトルを検出することができ、汎用性の高い動きベクトル検出装置を得ることができる。

【0412】請求項17に係る発明においては、現画像ブロック（テンプレートブロック）と参照画像ブロック（サーチウィンドウブロック）の各画素に対応して配置されるプロセッサアレイにおいて所定数のプロセッサごとに配置されるバッファ手段の有効格納画素数を変更可能としたため、動きベクトルのサーチエリアを容易に変更することができる。

【0413】請求項18に係る発明においては、まず広範囲のサーチエリア内の代表評価点に対し複数の予測モードそれぞれに対する最適代表評価点を決定し、次いで各予測モードそれぞれに対する最適代表評価点周辺領域のすべての評価点を探索して複数の予測モードそれぞれに対する動きベクトル候補（最適変位ベクトル）を決定し、これらの決定された最適変位ベクトルから動きベクトルを決定するように構成したため、複数の予測モードに従いかつ階層探索方式に従って動きベクトルをハードウェア量を増大させることなく効率的に検出することができる。

【0414】請求項19に係る発明においては、広い範囲のサーチエリア内の代表評価点のみを用いて複数の予測モードに従って最適代表評価点を決定し、次いで各予測モードごとに最適評価点を中心とする周辺領域のすべての評価点に対する探索動作を行なって最適変位ベクトルを算出し、最終的に最適変位ベクトルから動きベクトルを決定するように構成したため、装置規模を増大させることなく高速で複数の予測モードに従って動きベクトルを検出することができる。

【0415】請求項20に係る発明においては、広い範囲内のサーチエリアにおける代表評価点のみを用いて複

数の予測モードに従って最適代表評価点を決定し、この最適代表評価点周辺領域の評価点すべてに対する全探索を複数の予測モードに従って行なって各予測モードごとにブロックマッチング処理を行ない最適変位ベクトルを決定し、これらの最適変位ベクトルから動きベクトルを決定しているため、ハードウェア量を増大させることなく高速で最適な動きベクトルを検出することができる。

【0416】請求項21に係る発明においては、広い範囲内の代表評価点のみを用いて複数の予測モードに従ってブロックマッチング処理を行なって最適代表評価点およびこの最適代表評価点を与える最適予測モードを決定し、この最適代表評価点を含む周辺領域に含まれる評価点それぞれに対する探索動作を最適予測モードに従ってブロックマッチング処理を行なっているため、装置規模を増大させることなく複数の予測モードに従って最適な動きベクトルを高速に決定することができる。請求項22に係る発明においては、Q行P列の画素に対応して配置される要素プロセッサとR個の画素データをそれぞれが格納する各要素プロセッサ列に対応して配置されるデータ格納手段とを備えこの要素プロセッサおよびデータ格納手段を参照画面画像データを一次元的な方向に沿って転送するようにシストリックアレイ状に配置し、Aを変更可能な定数として $A \cdot (P \cdot (Q + R))$ サイクル毎に動きベクトルを検出するように構成したため、水平方向における動きベクトル探索範囲をその装置構成を変更することなく変更することができ複数の探索範囲に容易に対応することのできる動きベクトル検出装置を実現することができる。

【0417】請求項23に係る発明に従えば、各々が、P列・Q行の画素に対応して行列状に配列される要素プロセッサと各々がR個の画素データを格納することのできるデータバッファをプロセッサアレイの各列に対応して配置した構成を備えるA個のプロセッサアレイを配置し、このA個のプロセッサアレイにそれぞれ異なる現画面ブロックの画素データを格納し、 $A \cdot (Q + R) \cdot P$ サイクル毎に順次プロセッサアレイの格納する現画面ブロック画素データを更新するように構成し、かつA個のプロセッサアレイに同一の参照画面画素データを与えるように構成したため、パイプライン的に現画面ブロックについて動きベクトルを検出することができ、高速で動きベクトルを検出することのできる動きベクトル検出装置を実現することができる。

【0418】請求項24に係る発明に従えば、P列・Q行の画素に対応して行列状に配置される要素プロセッサと要素プロセッサアレイの各列に対応して配置され各々がR個の画素データを格納するデータバッファとからなるプロセッサアレイにおいて要素プロセッサを複数のサブブロックに分割し、各サブブロックに対し異なる現画面ブロックの画素データを格納するとともにこれらのサブブロックに同じ参照画面画素データを与えるように構

成し、処理単位サイクル毎に順次サブブロックの現画面ブロックの画素データを更新するように構成したため、現画面画素ブロックがサイズが小さくされた場合においても容易に装置規模を変更することは対応の動きベクトルを検出することができるとともに、複数の現画面ブロックの動きベクトルをパイプライン的に検出することができ、高速で各現画面ブロックの動きベクトルを決定することのできる動きベクトル検出装置を得ることができる。

【0419】請求項25に係る発明に従えば、P列・Q行の現画面画素に対応して行列状に配置される要素プロセッサそれぞれにおいて第1の現画面画像画素データ格納用の第1のレジスタと第2の現画面画像画素データ格納のための第2のレジスタとを設け、一方のレジスタを用いて評価関数値生成時に他方のレジスタへ別の全画面画像画素データを格納するように構成したため、現画面ブロックの動きベクトル検出をパイプライン的に実行することができ、装置規模を増大させることなく高速で動きベクトルを検出することのできる動きベクトル検出装置を実現することができる。請求項26に係る発明に従えば、評価関数値の値に従って最適変位ベクトルを動きベクトルと決定する比較部において、同じ評価関数値を与える変位ベクトルに対する優先順位として、探索範囲中央領域に最も高い優先順位を与える優先順位判定基準、探索範囲の水平方向中央部垂直方向最下端部の変位ベクトルに最も高い優先順位を与える優先順位判定基準および探索範囲において水平方向中央部、垂直方向最上端部の変位ベクトルに最も高い優先順位を与える優先順位判定基準の3つを準備し、用いられる用途に応じてこれらの優先順位判定基準のうちの1つを選択するように構成したため、用いられる用途にかかわらず常に真裏に対応する変位ベクトルに近い変位ベクトルを動きベクトルとして決定することができ、より精度の高い動きベクトルを検出することのできる動きベクトル検出装置を実現することができる。

【0420】請求項27に係る発明に従えば、複数の予測モードそれぞれについて整数精度での動きベクトルを検出する整数精度ベクトル決定手段と、この整数精度ベクトル決定手段から与えられる参照画面画像画素データと現画面画像画素データとを受け、決定された整数精度の動きベクトルが複数の予測モードそれぞれについての参照画面ブロック画素データを格納する格納手段と、この格納手段に格納された参照画面ブロック画素データと整数精度ベクトル決定手段から与えられる現画面ブロック画素データとを受けて複数の予測モードそれぞれについて分数精度での動きベクトルを決定するように構成したため、分数精度での動きベクトル決定時に新たに参照画像メモリおよび現画像メモリをアクセスする必要がなく、高速で複数の予測モードそれぞれに従って分数精度での動きベクトルを決定することができ、高速で精度の

高い動きベクトルを決定することができる。また、整数精度の動きベクトル決定と分数精度での動きベクトル決定とを並列態様で実行することができ、高速で分数精度および整数精度の動きベクトルを決定することができる。

【0421】請求項28に係る発明に従えば、現画面画像内の所定のサイズのブロックそれぞれに対し、動きベクトル探索範囲の有効領域を設定し、この有効領域内においてのみ動きベクトル探索を行なうように構成したため、必要とされる領域内の変位ベクトルに対してのみ評価を行なって動きベクトルを決定することができ、より最適な動きベクトルを決定することができ、高性能の画像符号化システムを構築することができる。

【図面の簡単な説明】

【図1】 この発明の第1の実施例である全探索方式動きベクトル検出装置の全体の構成を概略的に示す図である。

【図2】 図1に示す動きベクトル検出装置に利用されるテンプレートブロックおよびサーチエリアの大きさを示す図である。

【図3】 図1に示す動きベクトル検出装置のプロセッサレイ内に含まれる要素プロセッサの構成を概略的に示す図である。

【図4】 図1に示すプロセッサレイの構成を示す図である。

【図5】 (A)は画面の分割構成およびブロックマッチング処理単位となるマクロブロックの構成を示し、(B)はテンプレートブロックの構成の一例を示す図である。

【図6】 (A)は偶数フィールドサブテンプレートブロックの構成を示し、(B)は奇数フィールドサブテンプレートブロックの構成を示す図である。

【図7】 参照画像画面の分割構成およびプロセッサレイ内に格納されるマクロブロック画素データの存在領域を示す図である。

【図8】 図1に示すプロセッサレイ内に格納される参照画像画素データの格納状態を例示的に示す図である。

【図9】 図1に示すプロセッサレイ内の線形プロセッサレイに格納される参照ブロック画像画素データおよび現画像ブロック画素データの格納状態を例示的に示す図である。

【図10】 動きベクトル探索範囲および現画像ブロックの具体例を示す図である。

【図11】 奇数フィールドサブテンプレートブロックまたは偶数フィールドサブテンプレートブロックを用いる際の現画像ブロックおよびサーチエリアの具体例を示す図である。

【図12】 図1に示すプロセッサレイ内に格納される参照画像ブロック画素データおよびテンプレートブ

ック画素データの格納状況を示す図である。

【図 1 3】 (A) はサーチウィンドウが 1 列水平方向に移動する際のサーチウィンドウ画素データのプロセッサレイ内の転送状態を示し、(B) はプロセッサレイ内におけるサーチウィンドウ画素データの移動状況を例示的に示し、(C) はサーチウィンドウ画素データ入力後のプロセッサレイ内に格納されているサーチウィンドウ画素データのサーチエリア内の分布状態を示す図である。

【図 1 4】 (A) は偶数フィールドサブテンプレートブロックの奇数フィールドに対する変位ベクトルを例示的に示す図であり、(B) は奇数フィールドサブテンプレートブロックの偶数フィールドに対する変位ベクトルを例示的に示す図である。

【図 1 5】 評価関数値算出動作におけるプロセッサレイ内の格納データおよびサーチエリア内の位置を示す図である。

【図 1 6】 (A) はサーチウィンドウブロックがサーチウィンドウの最下部に到達したときの状態を示し、

(B) は (A) に示す状態におけるプロセッサレイ内に格納されるサーチウィンドウ画素データのサーチエリア内の位置を示す図である。

【図 1 7】 (A) は 1 つのサーチウィンドウに対する評価関数値算出後のプロセッサレイ内のサーチウィンドウ画素データ格納状態を示す図であり、(B) は 1 6 画素シフトイン動作後のプロセッサレイ内におけるサーチウィンドウ画素データ格納状態を示す図である。

【図 1 8】 図 1 7 (B) に示す状態におけるテンプレートブロックとサーチウィンドウブロックとの位置関係を示す図である。

【図 1 9】 サーチウィンドウブロックがサーチエリアにおいて最終位置に到達したときの状態を示す図である。

【図 2 0】 図 1 に示すプロセッサレイに含まれる要素プロセッサの構成の一例を示す図である。

【図 2 1】 図 2 0 に示す要素プロセッサの動作を示すタイミング図である。

【図 2 2】 図 1 に示す総和部の具体的構成を示す図である。

【図 2 3】 図 1 に示す総和部の他の構成を示す図である。

【図 2 4】 図 1 に示す総和部のさらに他の構成を示す図である。

【図 2 5】 図 2 4 に示す総和部の動作を示すタイミング図である。

【図 2 6】 図 2 4 に示す総和部の動作を例示的に示す図である。

【図 2 7】 図 1 に示す比較部の構成を示す図である。

【図 2 8】 この発明の全探索方式動きベクトル検出装置の第 2 の実施例の構成を示す図である。

【図 2 9】 図 2 8 に示す動きベクトル検出装置において用いられるテンプレートブロックおよびサーチウィンドウブロックの構成を示す図である。

【図 3 0】 図 2 8 に示す総和部の構成を示す図である。

【図 3 1】 この発明の第 3 の実施例である全探索方式動きベクトル検出装置において用いられるテンプレートブロックの分割構成を例示的に示す図である。

【図 3 2】 この発明の全探索方式動きベクトル検出装置の第 3 の実施例の構成を示す図である。

【図 3 3】 図 3 2 に示す総和部の構成を概略的に示す図である。

【図 3 4】 この発明の第 4 の実施例の動作を説明するための図である。

【図 3 5】 この発明の第 4 の実施例における水平方向探索範囲拡張動作を説明するための図である。

【図 3 6】 この発明の第 4 の実施例における水平方向探索範囲拡張の具体的例を示す図である。

【図 3 7】 この発明の第 4 の実施例の具体的動作シーケンスを示す図である。

【図 3 8】 この発明の第 4 の実施例の動きベクトル検出装置の全体の構成を概略的に示す図である。

【図 3 9】 図 3 8 に示す比較部の構成の一例を示す図である。

【図 4 0】 図 3 9 に示す比較部の動作を説明するための図である。

【図 4 1】 図 3 9 に示す比較部の動作を説明するための図である。

【図 4 2】 図 3 8 に示す比較制御回路の構成の一例を示す図である。

【図 4 3】 図 3 8 に示す読出制御回路の構成を概略的に示す図である。

【図 4 4】 この発明の第 5 の実施例の動きベクトル検出装置の全体の構成を概略的に示す図である。

【図 4 5】 この発明の第 5 の実施例の動きベクトル検出装置の動作を説明するための図である。

【図 4 6】 この発明の第 5 の実施例の動きベクトル検出装置の具体的動作シーケンスを示す図である。

【図 4 7】 この発明の第 5 の実施例において処理時間を 4 処理単位時間にした場合の動きベクトル検出動作の具体的シーケンスを示す図である。

【図 4 8】 この発明の第 6 の実施例における動きベクトル検出装置のプロセッサレイの構成を示す図である。

【図 4 9】 図 4 8 で示すプロセッサレイをテンプレートブロックサイズに応じて再配置した際のプロセッサレイの構成を概略的に示す図である。

【図 5 0】 図 4 9 に示すプロセッサレイにおける単位探索範囲を示す図である。

【図 5 1】 図 4 9 に示す動きベクトル検出装置の動作

を説明するための図である。

【図 5 2】 この発明の第 6 の実施例において用いられる動きベクトル探索範囲の構成を示す図である。

【図 5 3】 この発明の第 6 の実施例における処理単位時間におけるプロセッサレイにおける参照画面画素データの転送態様を示す図である。

【図 5 4】 図 4 9 に示す動きベクトル検出装置の動きベクトル検出動作の具体的なシーケンスを示す図である。

【図 5 5】 この発明の第 6 の実施例における動きベクトル検出装置におけるプロセッサレイ部の配置を示す図である。

【図 5 6】 図 5 5 に示すセクタのテンプレートブロック画素データに関連する部分の構成を概略的に示す図である。

【図 5 7】 図 5 5 に示すセクタのサーチウィンドウ画素データに関連する部分の構成を概略的に示す図である。

【図 5 8】 この発明の第 6 の実施例における動きベクトル検出装置の演算部および比較部の構成を概略的に示す図である。

【図 5 9】 この発明の第 6 の実施例において利用されるサブサンプリング画像の構成を示す図である。

【図 6 0】 この発明の第 7 の実施例の要素プロセッサの構成を概略的に示す図である。

【図 6 1】 図 6 0 に示す要素プロセッサの動作を説明するための図である。

【図 6 2】 この発明の第 7 の実施例の動きベクトル検出装置の概略構成を示す図である。

【図 6 3】 この発明の第 7 の実施例の要素プロセッサの第 1 の変更例を示す図である。

【図 6 4】 この発明の第 7 の実施例の要素プロセッサの第 2 の変更例およびその動作波形を示す図である。

【図 6 5】 この発明の第 8 の実施例における比較部の構成を概略的に示す図である。

【図 6 6】 図 6 5 に示す優先順位判定回路の第 1 の優先順位判定基準を示す図である。

【図 6 7】 図 6 5 に示す優先順位判定回路の第 1 の優先順位判定基準を示す図である。

【図 6 8】 図 6 5 に示す優先順位判定回路の第 2 の判定基準を示す図である。

【図 6 9】 図 6 5 に示す優先順位判定回路の第 2 の判定基準を示す図である。

【図 7 0】 図 6 5 に示す優先順位判定回路の第 3 の優先順位判定基準を示す図である。

【図 7 1】 図 6 5 に示す優先順位判定回路の第 3 の優先順位判定基準を示す図である。

【図 7 2】 第 1 の優先順位判定基準を用いる際の動きベクトル検出装置の構成を示す図である。

【図 7 3】 第 2 および第 3 の優先順位判定基準を用いる際の動きベクトル検出装置の構成および対応の優先順

位判定基準を示す図である。

【図 7 4】 図 6 5 に示す優先順位判定回路の構成の一例を概略的に示す図である。

【図 7 5】 図 7 4 に示す優先順位判定回路の動作を説明するための図である。

【図 7 6】 図 7 4 に示すセクタおよびマルチプレクサ切替信号を発生するための構成を概略的に示す図である。

【図 7 7】 この発明の第 9 の実施例の動きベクトル検出装置の構成を概略的に示す図である。

【図 7 8】 図 7 7 に示す動きベクトル検出装置の分数精度演算部の動作を説明するための図である。

【図 7 9】 分数精度動きベクトル検出時に生成される予測画像の構成を概略的に示す図である。

【図 8 0】 図 7 7 に示す予測画像メモリおよびテンプレートブロックメモリの構成の一例を示す図である。

【図 8 1】 図 8 0 に示す予測画像メモリの動作を説明するための図である。

【図 8 2】 図 8 0 に示す予測画像メモリの動作を示す信号波形図である。

【図 8 3】 図 8 0 に示す予測画像メモリにおけるブロックサイズ予測モード、奇数フィールド予測モードおよび偶数フィールド予測モードそれぞれに用いられるメモリ部へ与えられるクロック信号の発生態様を示す図である。

【図 8 4】 図 7 7 に示す $1/2$ 画素精度演算部の構成を概略的に示す図である。

【図 8 5】 図 8 4 に示す分数精度予測画素生成回路の動作を説明するための図である。

【図 8 6】 図 8 4 に示す $1/2$ 画素精度演算部の具体的な構成の一例を示す図である。

【図 8 7】 この発明の第 9 の実施例の動作をシーケンスの一例を示す図である。

【図 8 8】 現画面上のテンプレートブロックの位置を示す図である。

【図 8 9】 この発明の第 10 の実施例の動作原理を説明するための図である。

【図 9 0】 この発明の第 10 の実施例において用いられる単位探索範囲の構成を示す図である。

【図 9 1】 この発明の第 10 の実施例において用いられる上半分禁止信号および下半分禁止信号の効果を説明するための図である。

【図 9 2】 この発明の第 10 の実施例における左半分禁止信号の効果を説明するための図である。

【図 9 3】 この発明の第 10 の実施例における右半分禁止信号の効果を説明するための図である。

【図 9 4】 現画面左上端のテンプレートブロックにおける探索範囲制限動作を説明するための図である。

【図 9 5】 現画面左上端のテンプレートブロックにおける探索範囲制限動作を説明するための図である。

【図 9 6】 現画面左上端のテンプレートブロックにおける分数精度の動きベクトル検出時の動作を説明するためのフロー図である。

【図 9 7】 現画面上端テンプレートブロックにおける禁止信号の発生態様を示す図である。

【図 9 8】 現画面上右端のテンプレートブロックにおける禁止信号発生態様および動きベクトル探索範囲制限の動作を説明するための図である。

【図 9 9】 現画面上右端のテンプレートブロックに対する動きベクトル検出動作を示すフロー図である。

【図 1 0 0】 現画面左端テンプレートブロックにおける禁止信号発生態様を示す図である。

【図 1 0 1】 現画面中央部のテンプレートブロックにおける禁止信号発生態様を示す図である。

【図 1 0 2】 現画面右端のテンプレートブロックに対する禁止信号発生態様を示す図である。

【図 1 0 3】 現画面下左端のテンプレートブロックに対する禁止信号発生態様および探索範囲制限態様を説明するための図である。

【図 1 0 4】 現画面下左端のテンプレートブロックの分数精度での動きベクトル検出動作時を説明するフロー図である。

【図 1 0 5】 現画面下端のテンプレートブロックに対する禁止信号発生態様を示す図である。

【図 1 0 6】 現画面下右端のテンプレートブロックに対する禁止信号発生態様および動きベクトル探索範囲制限態様を示す図である。

【図 1 0 7】 この発明の第 1 0 の実施例の動きベクトル検出装置の全体の構成を概略的に示す図である。

【図 1 0 8】 図 1 0 7 に示す探索動作制御および整数精度動きベクトル検出部に含まれる比較部の構成の一例を示す図である。

【図 1 0 9】 図 1 0 7 に示す探索動作制御部の分数精度に対する探索範囲制御部の構成を概略的に示す図である。

【図 1 1 0】 図 1 0 7 に示す分数精度動きベクトル検出部に含まれる演算部および比較部の構成およびそこへ与えられる禁止信号を概略的に示す図である。

【図 1 1 1】 図 1 0 7 に示す探索範囲設定部および読出制御回路の構成を概略的に示す図である。

【図 1 1 2】 図 1 1 1 に示すテンプレートブロック指定回路および禁止範囲設定回路の効果を説明するための図である。

【図 1 1 3】 この発明に従う動きベクトル検出装置の参照画像画素データ入力部の構成を概略的に示す図である。

【図 1 1 4】 図 1 1 3 に示す画面形式変換回路の構成を概略的に示す図である。

【図 1 1 5】 図 1 1 4 に示すフレーム／フレーム用アドレス生成器の具体的構成を示す図である。

【図 1 1 6】 (A) は図 1 1 5 に示すアドレス発生器のデータ書込時のアドレス発生順序を示し、(B) は画素データ読出時における図 1 1 5 に示すアドレス発生器のアドレス発生シーケンスを示す図である。

【図 1 1 7】 図 1 1 5 に示すアドレス発生器の変更例を示す図である。

【図 1 1 8】 図 1 1 5 に示すフィールド／フレーム用アドレス生成器の構成の一例を示す図である。

【図 1 1 9】 図 1 1 8 に示すアドレス発生器の動作を示すタイミング図である。

【図 1 2 0】 図 1 1 8 に示すアドレス発生器のアドレス発生シーケンスを示す図であり、(A) は第 1 フィールドの画素データ書込時のアドレス発生シーケンスを示し、(B) は第 2 フィールドの画素データ書込時のアドレス発生シーケンスを示す図である。

【図 1 2 1】 図 1 1 3 に示す画面形式変換回路の他の構成を示す図である。

【図 1 2 2】 図 1 2 1 に示すフィールド／フィールド用アドレス生成器のアドレス発生シーケンスを示す図であり、(A) はフィールド画像画素データ書込時のアドレス発生シーケンスを示し、(B) はフィールド画像画素データ読出時のアドレス発生シーケンスを示す図である。

【図 1 2 3】 図 1 2 1 に示すフレーム／フィールド用アドレス生成器のアドレス発生シーケンスを示す図であり、(A) はフレーム画像画素データ書込時のアドレス発生シーケンスを示し、(B) は画素データ読出時のアドレス発生シーケンスを示す図である。

【図 1 2 4】 図 1 2 1 に示すフレーム／フィールド用アドレス生成器の構成の一例を示す図である。

【図 1 2 5】 図 1 1 3 に示す画面形式変換回路およびサーチウィンドウバッファメモリのさらに他の構成を示す図である。

【図 1 2 6】 図 1 2 5 に示すフレーム／フィールド用アドレス発生器の構成の一例を示す図である。

【図 1 2 7】 図 1 2 6 に示すアドレス発生器の動作を示すタイミング図である。

【図 1 2 8】 図 1 2 7 に示すアドレス発生器によるフレーム画像からフィールド画像を生成する方法を例示的に示す図である。

【図 1 2 9】 図 1 1 9 に示すデータバッファの変更例を示す図である。

【図 1 3 0】 図 1 2 9 に示すデータバッファの変更例を示す図である。

【図 1 3 1】 図 4 に示すデータバッファのさらに他の構成を示す図である。

【図 1 3 2】 図 1 3 1 に示すデータバッファの動作を説明するための図である。

【図 1 3 3】 図 1 3 1 に示すデータバッファの動作を具体的に説明するための図である。

【図 1 3 4】 階層探索方式動きベクトル検出動作において用いられるテンプレートブロックおよびサーチエリアの構成の一例を示す図である。

【図 1 3 5】 階層探索方式動きベクトル検出の第 1 段階の動作を説明するための図である。

【図 1 3 6】 階層探索方式動きベクトル検出動作における第 1 段階動作完了後の代表評価点の分布を例示的に示す図である。

【図 1 3 7】 階層探索方式動きベクトル検出における第 2 段階の動作を説明するための図である。

【図 1 3 8】 階層探索方式動きベクトル検出装置の第 1 の実施例の構成を概略的に示す図である。

【図 1 3 9】 図 1 3 8 に示す粗探索演算部の構成を概略的に示す図である。

【図 1 4 0】 図 1 3 9 に示す要素プロセッサアレイおよびメモリセルアレイの構成を概略的に示す図である。

【図 1 4 1】 図 1 4 0 に示す最下流要素プロセッサの構成を概略的に示す図である。

【図 1 4 2】 図 1 4 0 に示すメモリセルアレイから要素プロセッサアレイへのデータ転送動作を例示的に示す図である。

【図 1 4 3】 図 1 3 8 に示す密探索演算部への参照画像画素データ転送制御系の構成を概略的に示す図である。

【図 1 4 4】 この発明の階層探索方式動きベクトル検出装置の第 2 の実施例の構成を概略的に示す図である。

【図 1 4 5】 図 1 4 4 に示す第 1 の全探索演算部の構成を概略的に示す図である。

【図 1 4 6】 図 1 4 4 に示す第 2 の全探索演算部の構成を概略的に示す図である。

【図 1 4 7】 図 1 4 5 に示す第 3 の全探索演算部の構成を概略的に示す図である。

【図 1 4 8】 全探索方式動きベクトル検出装置の第 3 の実施例の構成を概略的に示す図である。

【図 1 4 9】 図 1 4 8 に示す最適代表評価点を求める比較選択部の構成を概略的に示す図である。

【図 1 5 0】 この発明に従う階層探索方式動きベクトル検出装置の第 4 の実施例の構成を示す図である。

【図 1 5 1】 従来の画像信号符号化回路の全体の構成を示す図である。

【図 1 5 2】 図 1 5 1 に示すソース符号化回路の構成を示す図である。

【図 1 5 3】 画像の動き補償の操作を説明するための図である。

【図 1 5 4】 ブロックマッチング法による動き補償を行なう際のサーチエリアおよびテンプレートブロックの配置例および動きベクトルの関係を示す図である。

【図 1 5 5】 従来の動きベクトル検出装置の全体の構成を概略的に示す図である。

【図 1 5 6】 図 1 5 5 に示すプロセッサアレイ内に含

まれる要素プロセッサの構成を示す図である。

【図 1 5 7】 図 1 5 5 に示す動きベクトル検出装置におけるテンプレートブロックのスクランおよびサーチウィンドウのスクラン方法を示す図である。

【図 1 5 8】 図 1 5 5 に示す動きベクトル検出装置の動作を例示的に示す図である。

【図 1 5 9】 図 1 5 5 に示す動きベクトル検出装置の動作を説明するための図である。

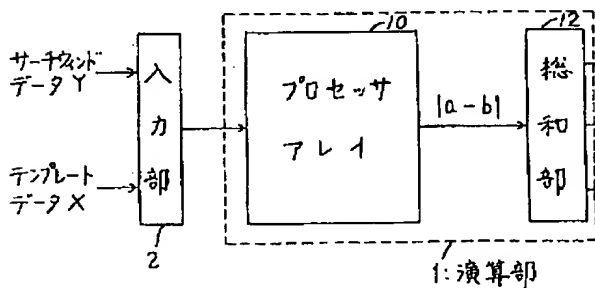
【符号の説明】

1, 1 a, 1 b 演算部、2 入力部、3, 3 a, 3 b 比較部、10 プロセッサアレイ、12 総和部、20 テンプレートブロック、22 サーチエリア、PE 要素プロセッサ、25-1~25-M データレジスタ、26-1~26-N データレジスタ、LA1~LAP 線形プロセッサアレイ、27 差分絶対値回路、12 a, 12 b, 12 c 総和回路、12 d 加算回路、12 b a, 12 c a, 12 e, 12 f 総和回路、132 比較器、138 カウンタ、12 g, 12 h 総和回路、122 分類変更部、120 総和演算部、120 a, 120 b, 120 c, 120 d 総和回路、120 e, 120 f, 120 g 加算回路、122 a, 122 b セレクタ、205 サーチウィンドウバッファメモリ、207 画面形式変換回路、211 セレクタ、213 フレーム/フレーム用アドレス生成器、215 フィールド/フレーム用アドレス生成器、200 動きベクトル検出装置、252 フレーム/フィールド用アドレス生成器、254 フィールド/フィールド用アドレス生成器、272 フィールド/フィールド用アドレス発生器、274 フレーム/フィールド用アドレス発生器、278 書込禁止回路、289 リードアドレス発生器、282 書込制御回路、284 読出制御回路、DL データバッファ、RG1, RG2 レジスタ、RGa~RGn レジスタ、312 レジスタファイル、314 リードアドレス発生器、316 外部アドレス発生器、319 初期アドレス設定回路、402 粗探索演算部、404 比較選択部、406 密探索演算部、408 比較選択部、410 第 1 の全探索演算部、412 第 2 の全探索演算部、414 第 3 の全探索演算部、412 メモリセルアレイ、419 要素プロセッサアレイ、420 総和部、422 比較部、425 テンプレートブロックデータメモリ、460 第 1 の全探索演算部、462 第 2 の全探索演算部、464 第 3 の全探索演算部、492 比較選択部、494 全探索演算部、520 全探索演算部、522 比較選択部、600 動きベクトル検出装置、602 参照画像メモリ、604 現画像メモリ、606 読出制御回路、608 比較制御回路、607 探索範囲設定部、610 レジスタ、611 比較器、612 レジスタ、613 カウンタ、630 入力部、632 セレクタ、PG0U~PG15U, PG0L~PG15L

145

プロセッサグループ、PBA, PBB, PBC, PBD
 プロセッサブロック、SLa, SLb, SLc, SLd, SLe, SLf, SLg セレクタ、DLA, DLB データバッファ群、644 接続制御回路、SWa, SWb, SWc, SWd, SWe, SWf, SWg, SWh, SWi, SWj, SWk, SWl, SWm, SWn, SWo, SWp, SWq, SWr, SWs, SWt, SWu, SWv, SWw, SWx, SWy, SWz スイッチング素子、STa, STb, STc, STd, STe, STf, STg, STh, STi, STj, STk, STl, STm, STn, STO, STp, STq, STr, STs, STt, STu, STv, STw, STx, STy, STz スイッチング素子、650a~650d 総和部、652a~652d セレクタ、654a~654d 比較部、655 加算部、656 比較部、660a レジスタ (A)、660b レジスタ (B)、661 マルチプレクサ、662, 663 セレクタ、664 レジスタ、665 減算器、666 絶対値回路、672 演算部、673 比較部、674 制御装置、675 参照画像メモリ、676 現画像メモリ、679 マルチプレクサ、677a, 677b ラッチ、680 レジスタ、682 比較器、684

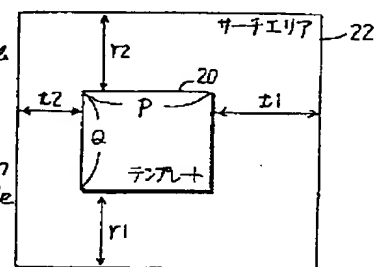
【図1】



146

カウンタ、686 レジスタ、688 更新制御回路、690 優先順位判定回路、CH1, CH2, CH3 動きベクトル検出装置チップ、701 セレクタ、702 H絶対値回路、703 V絶対値回路、704 V抽出回路、705 -V抽出回路、706 セレクタ、707 加算器、708 セレクタ、709 加算器、710 マルチプレクサ、711, 712 レジスタ、713 比較器、715 タイミング信号発生回路、716 活性制御回路、722 予測画像メモリ、724 テンプレートブロックメモリ、726, 738 1/2画素精度演算部、730, 732 比較部、734 セレクタ、802 分数精度予測画像生成回路、820 参照画像メモリ、821 現画像メモリ、821 現画像メモリ、830 整数精度動きベクトル検出部、832 分数精度動きベクトル検出部、834 探索範囲設定部、836 探索動作制御部、838 読出制御回路。

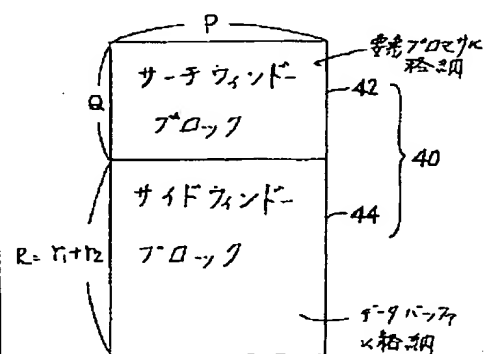
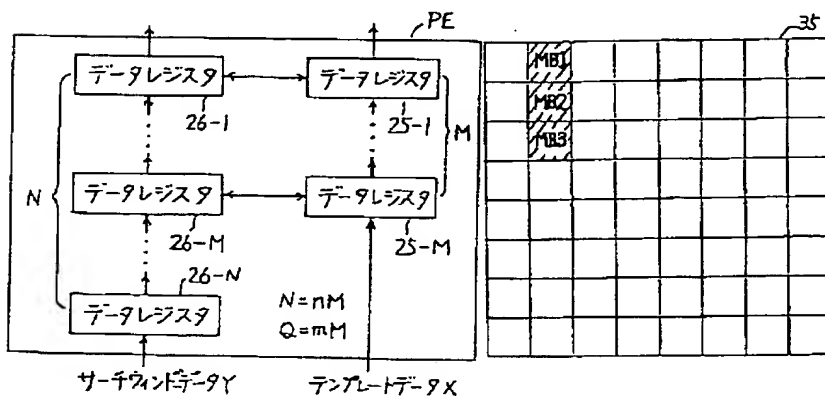
【図2】



【図3】

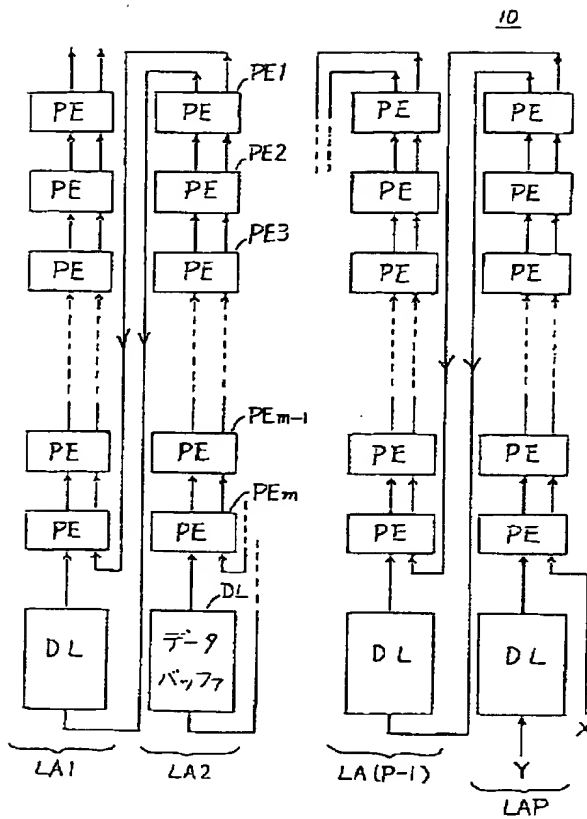
【図7】

【図8】

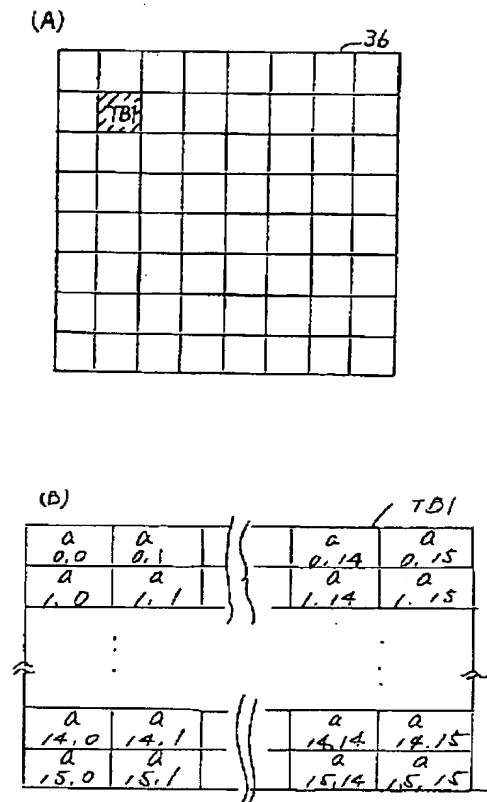


データバッファ

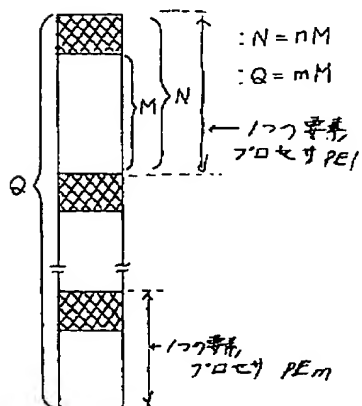
【図 4】



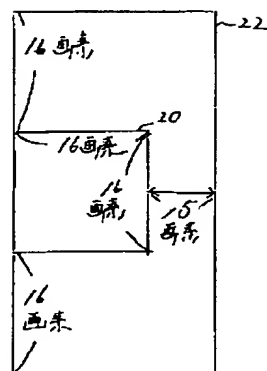
【図5】



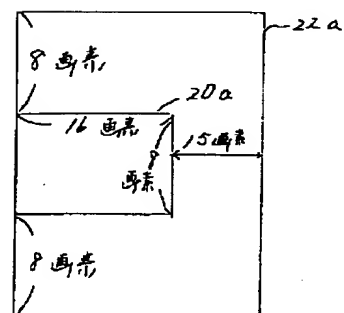
【図9】



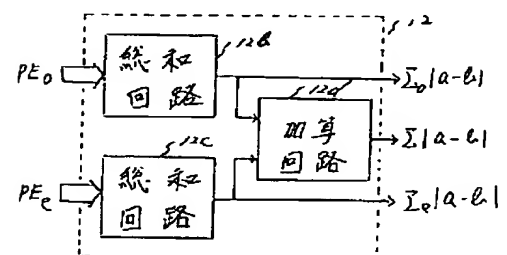
【図 10】



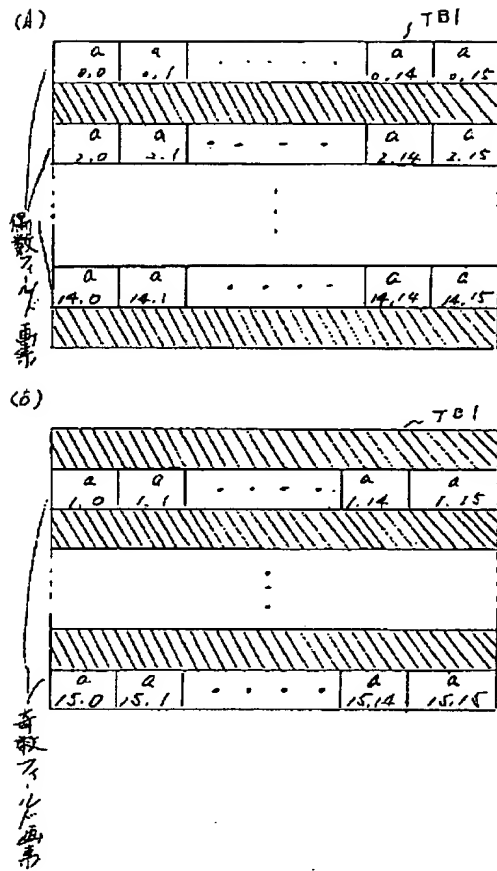
【图 1 1】



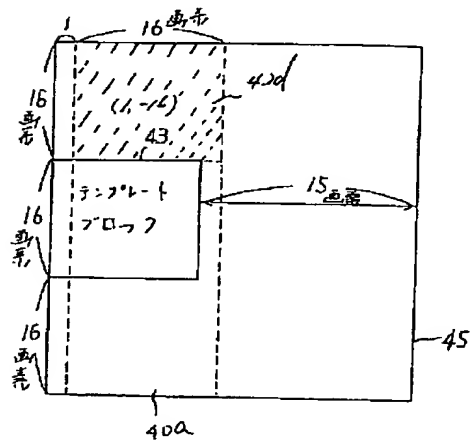
【图 2 3】



【図 6】



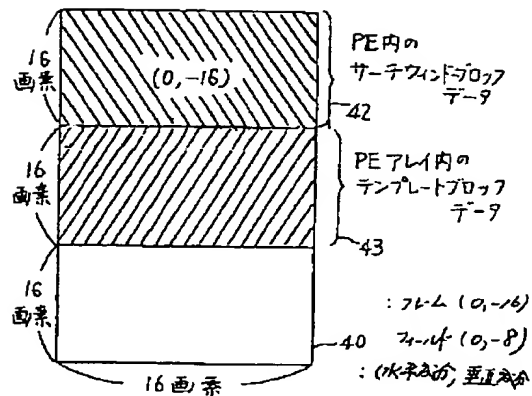
【図 18】



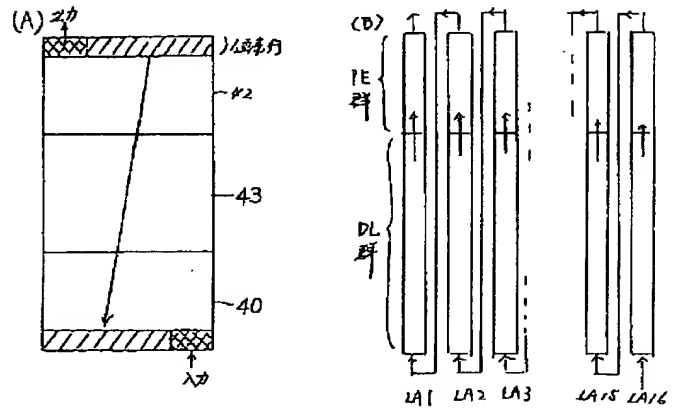
: 奇数サブテンプレートブロック
 : 奇数フィールドマスク (1, -8),

: 偶数サブテンプレートブロック
 : 偶数フィールドマスク (1, -8)

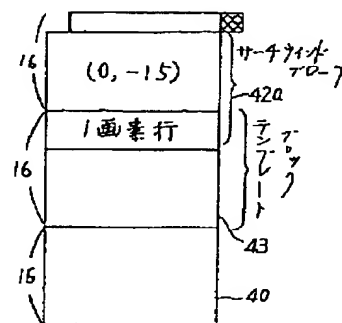
【図 12】



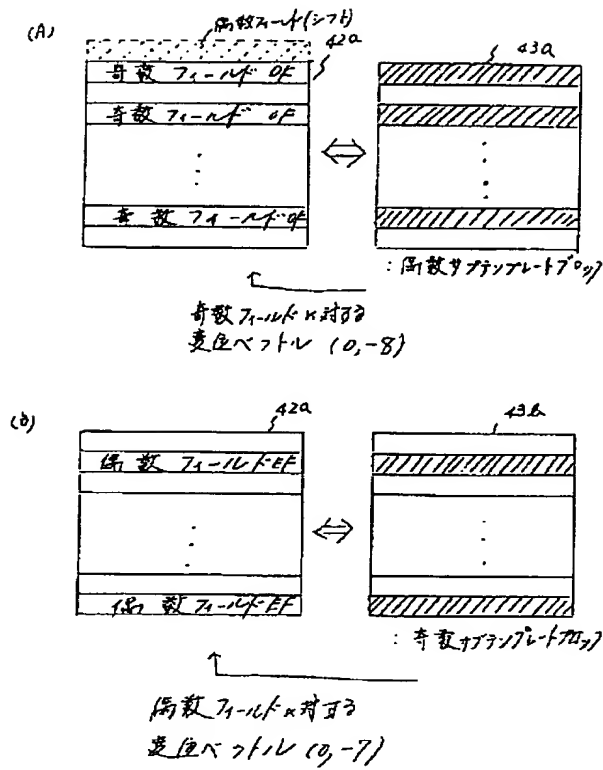
【図 13】



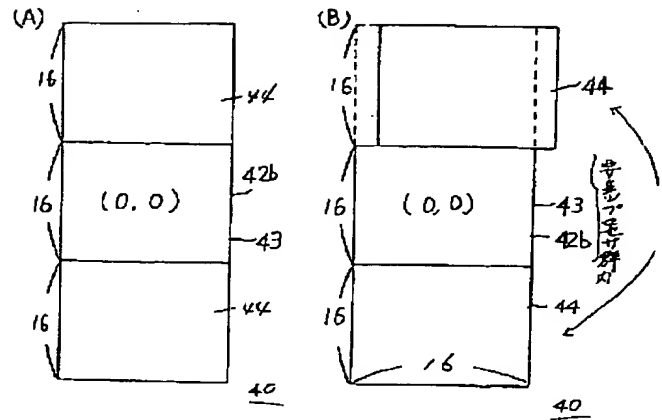
(C)



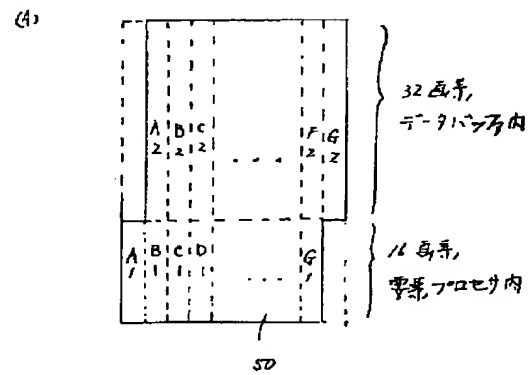
【図14】



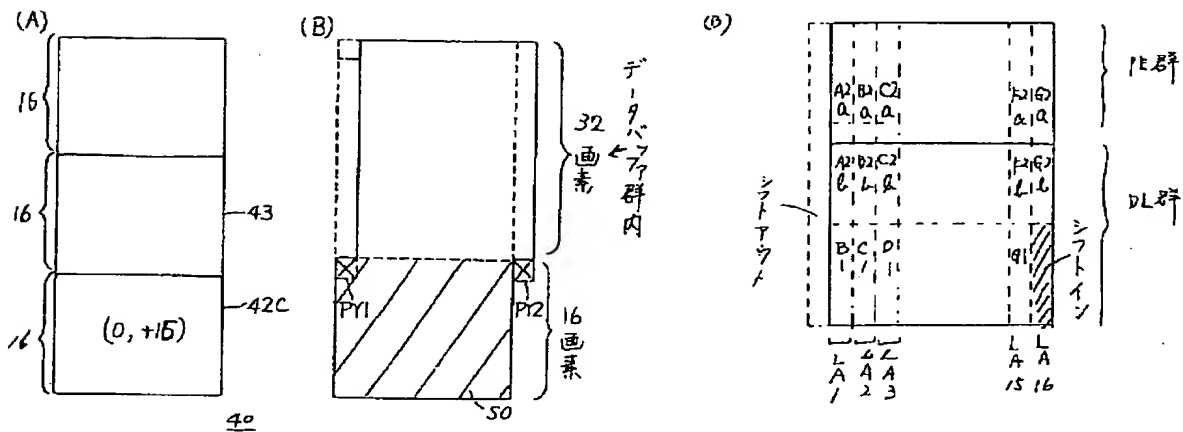
【図15】



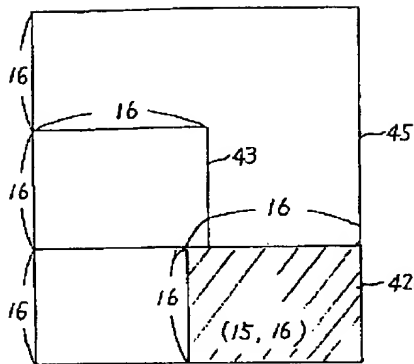
【図17】



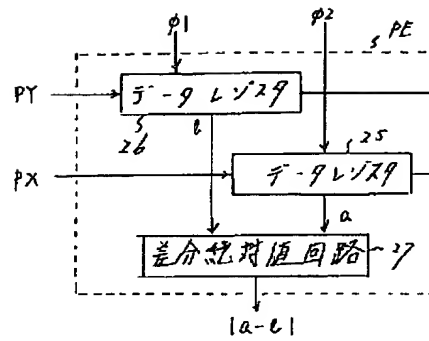
【図16】



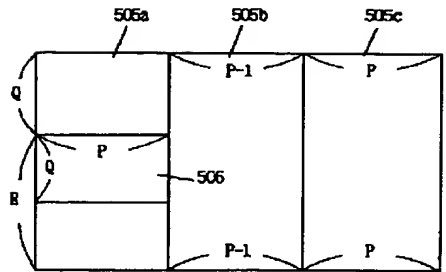
【図19】



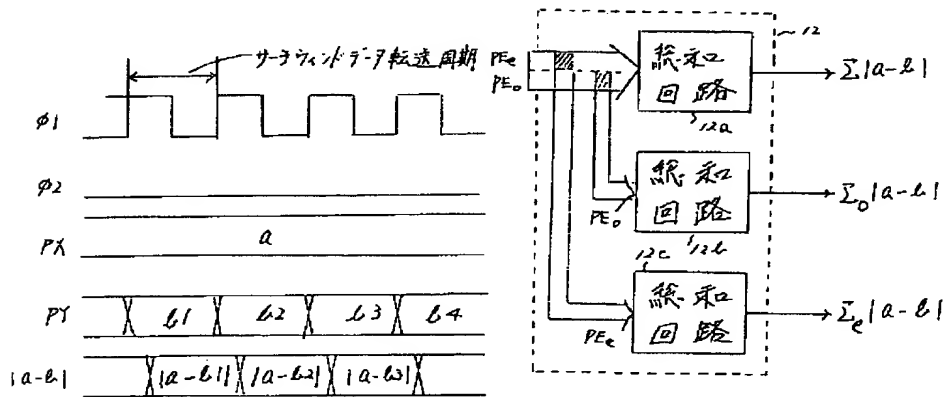
【図20】



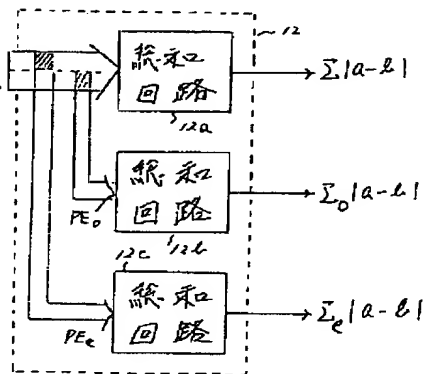
【図35】



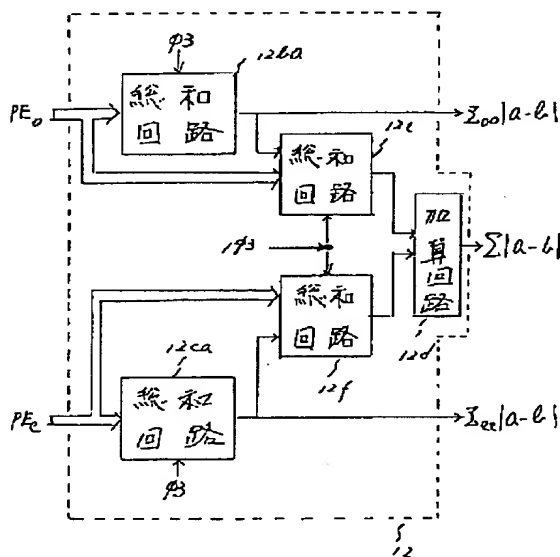
【図21】



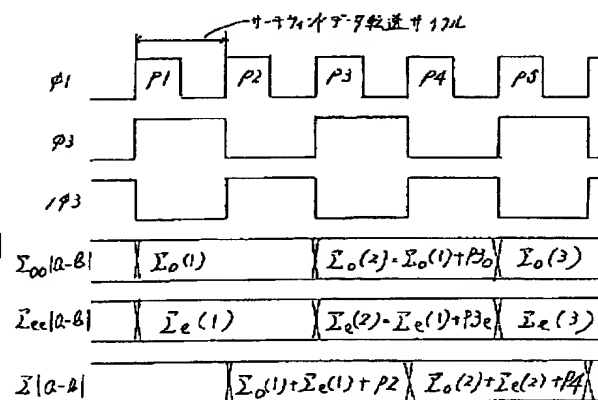
【図22】



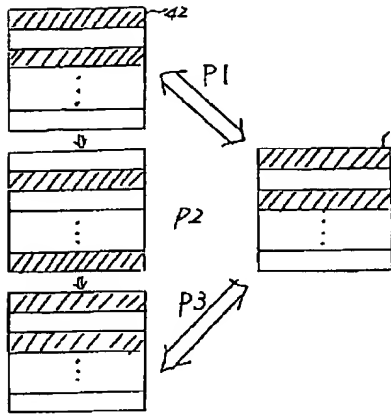
【図24】



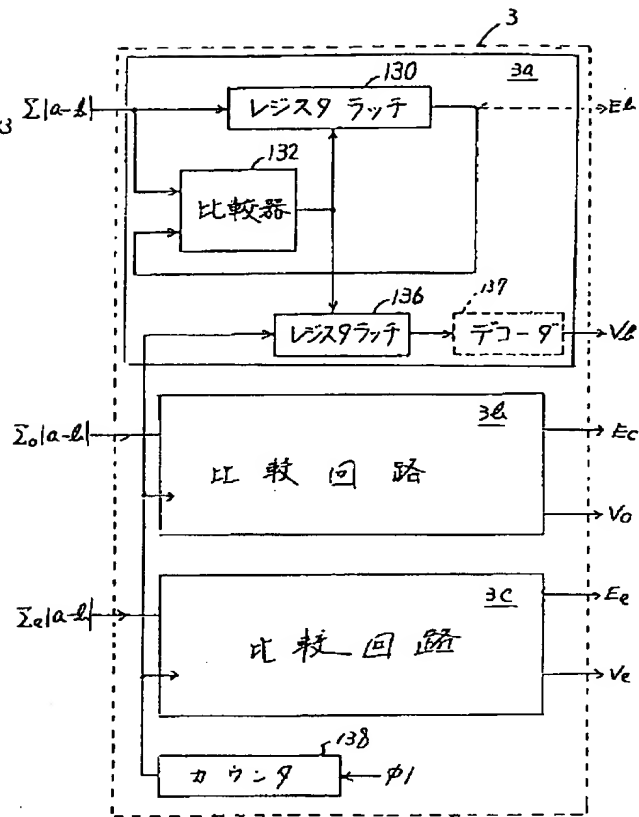
【図25】



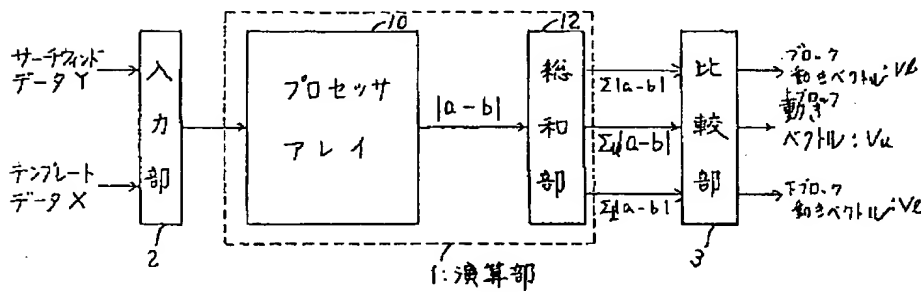
【図 26】



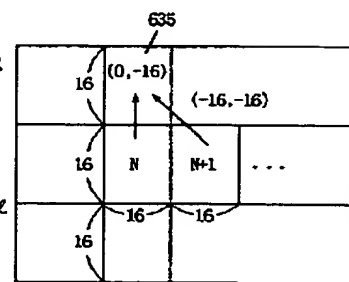
【図 27】



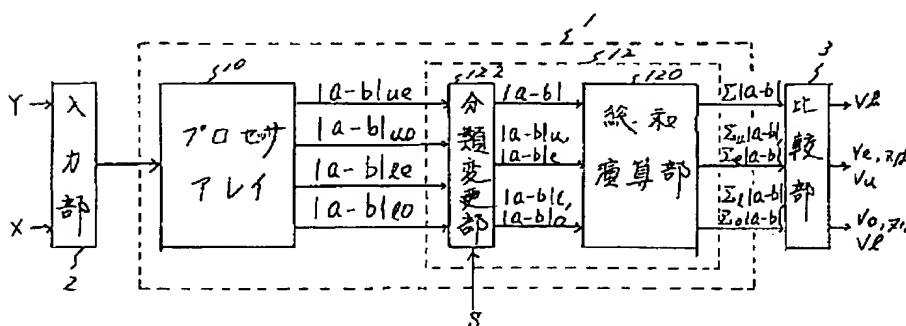
【図 28】



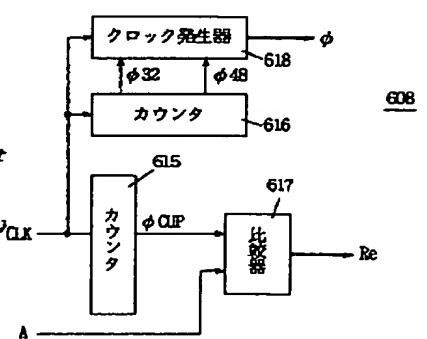
【図 45】



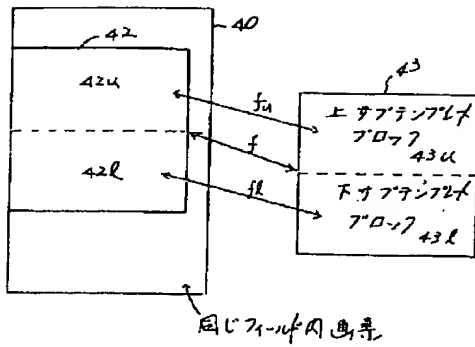
【図 32】



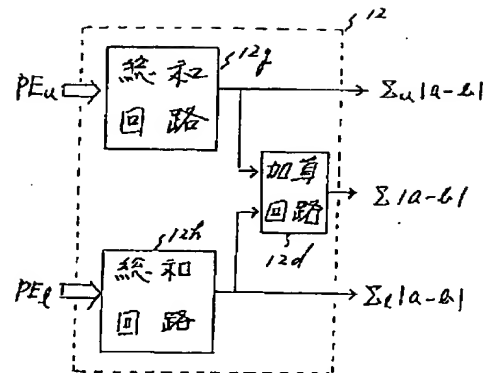
【図 42】



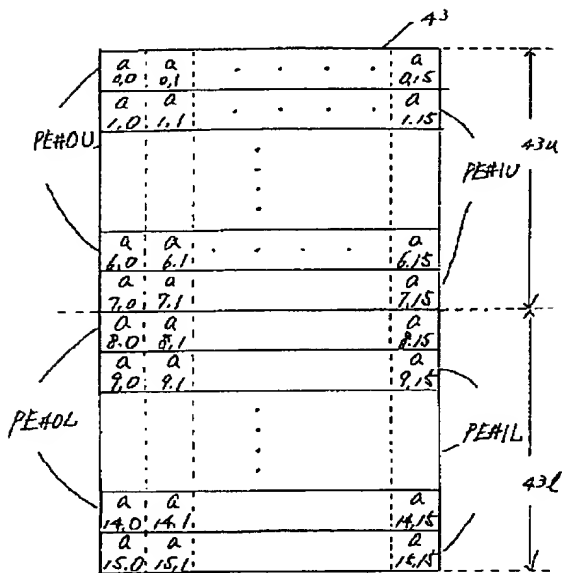
【図 29】



【図 30】

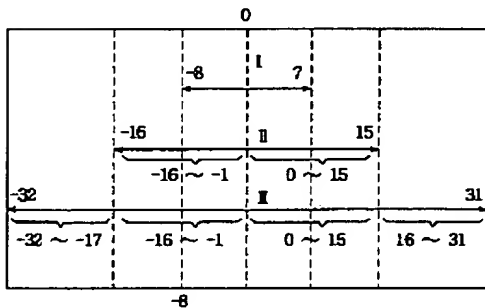


【図 31】

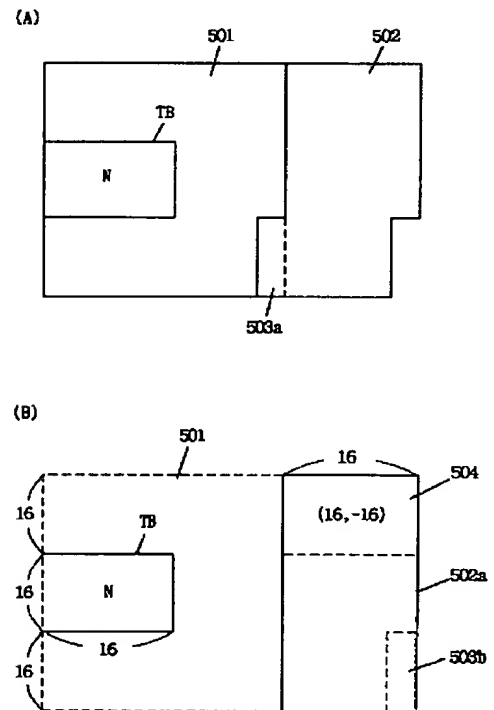


【図 36】

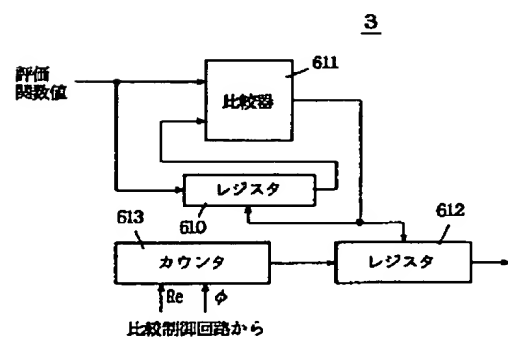
処理単位サイクル: 768サイクル



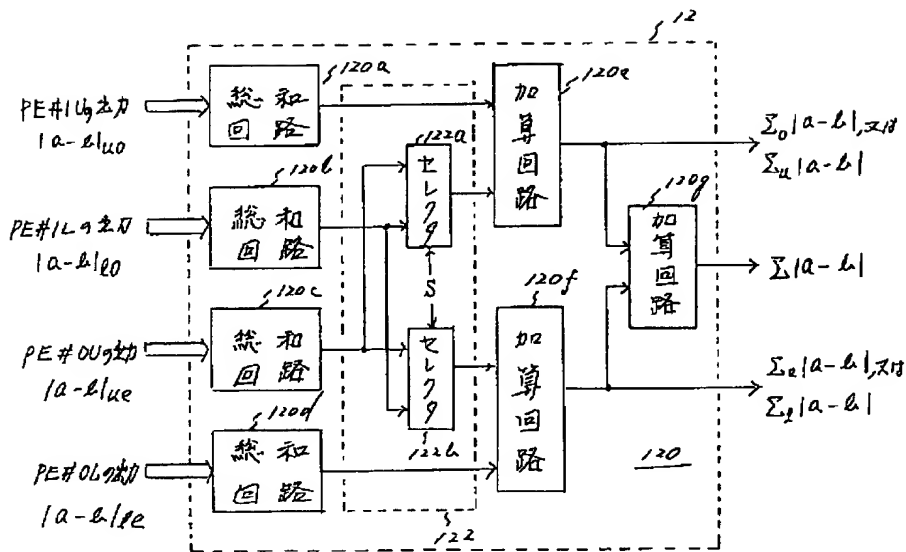
【図 34】



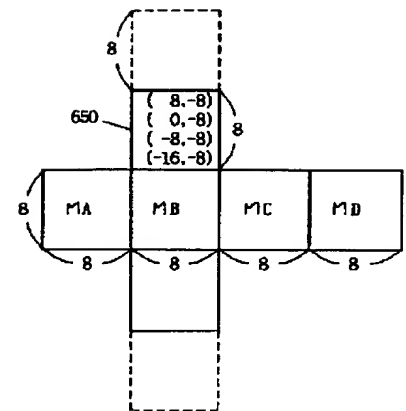
【図 39】



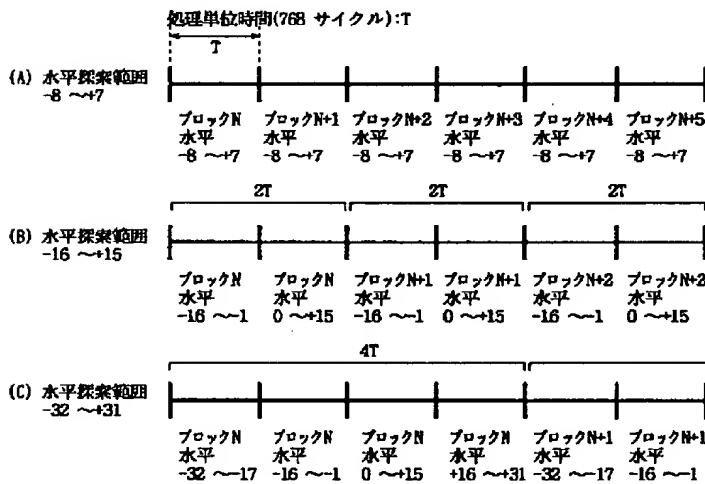
【図 3 3】



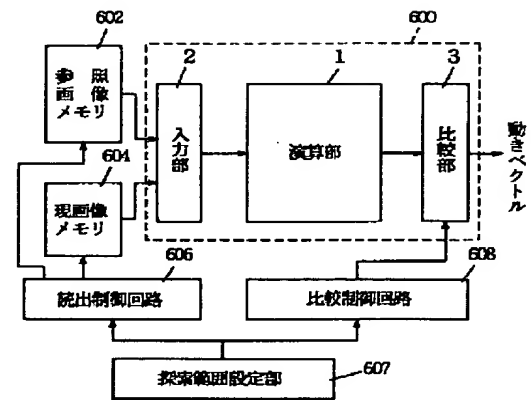
【図 5 1】



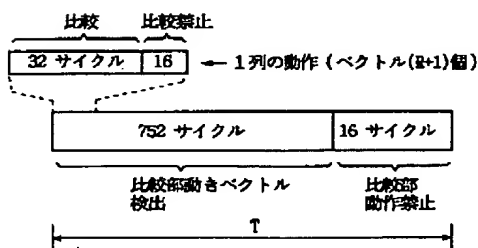
【図 3 7】



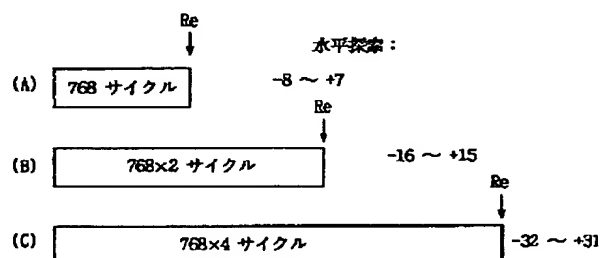
【図 3 8】



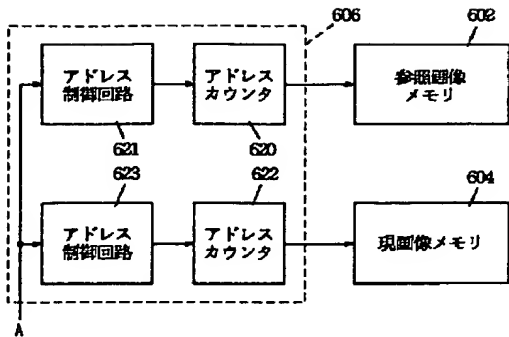
【図 4 0】



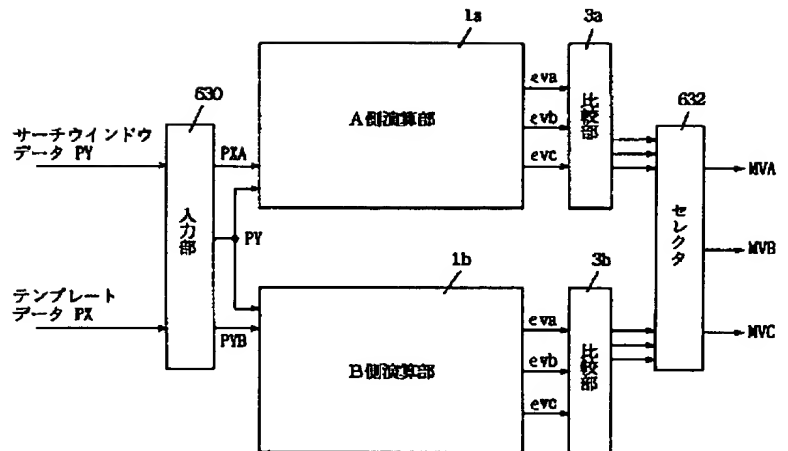
【図 4 1】



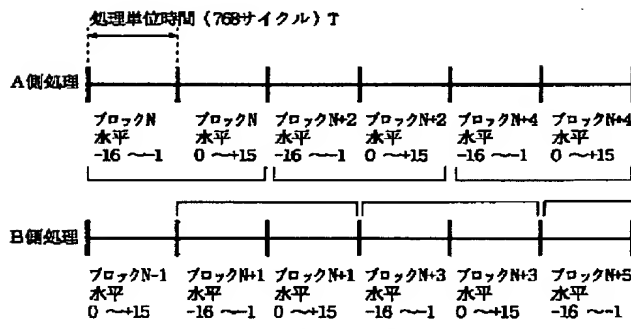
【図 4 3】



【図 4 4】

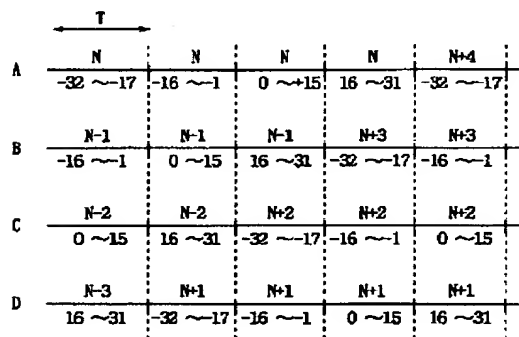


【図 4 6】

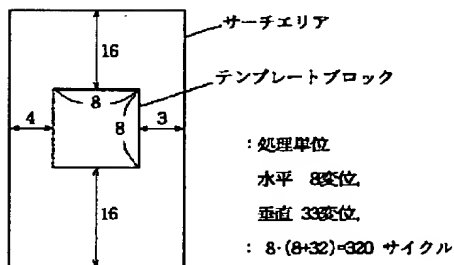


：サーチウィンドウ画素データは共通

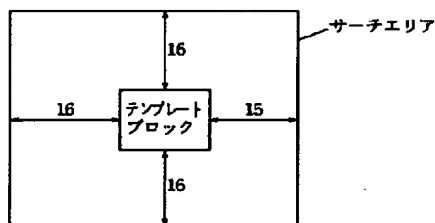
【図 4 7】



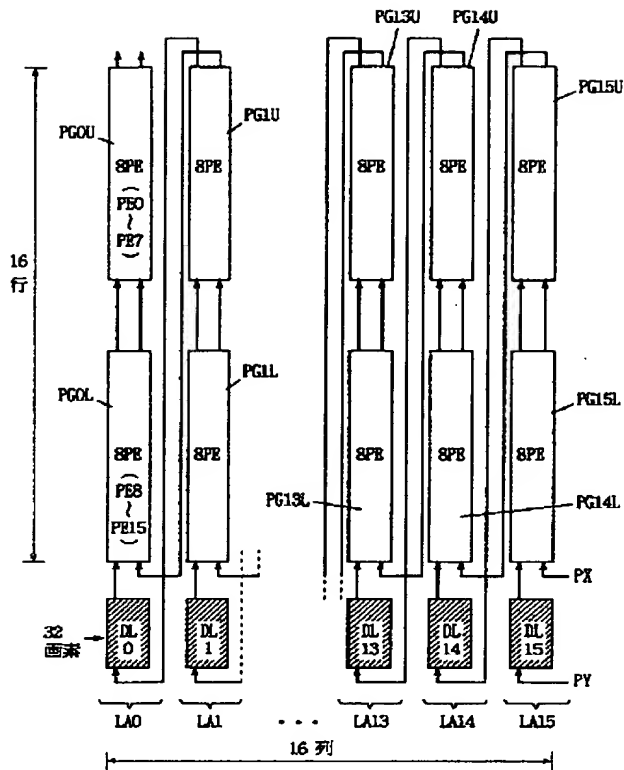
【図 5 0】



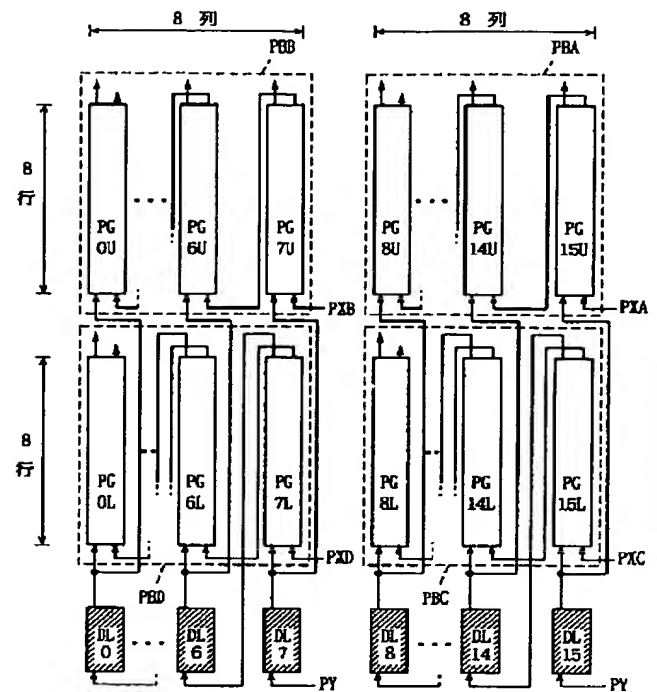
【図 5 2】



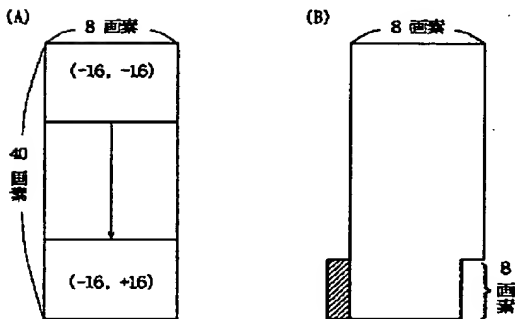
【図 4 8】



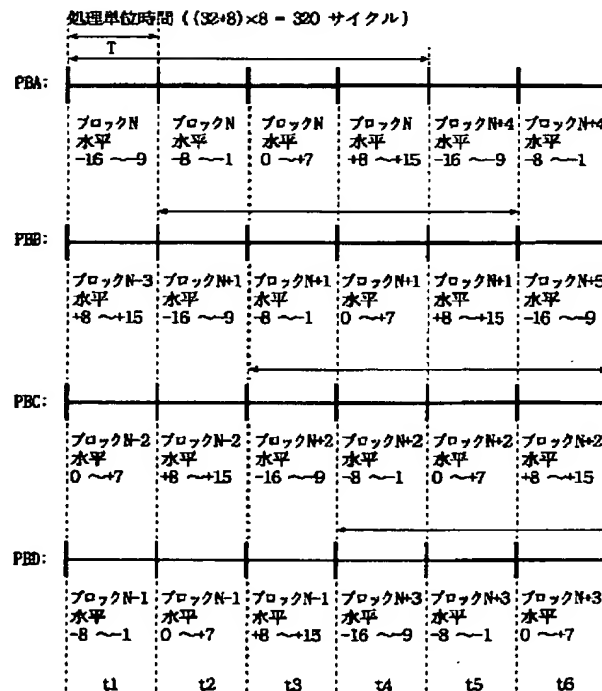
【図 4 9】



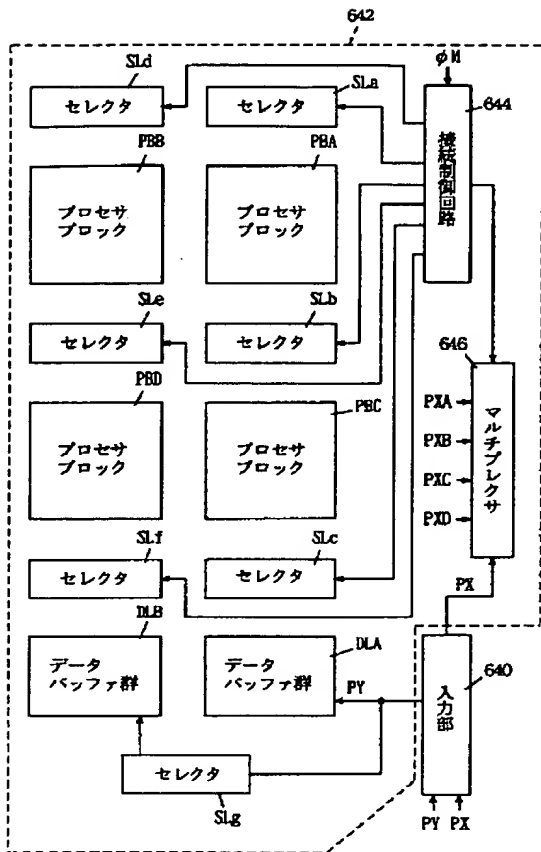
【図 5 3】



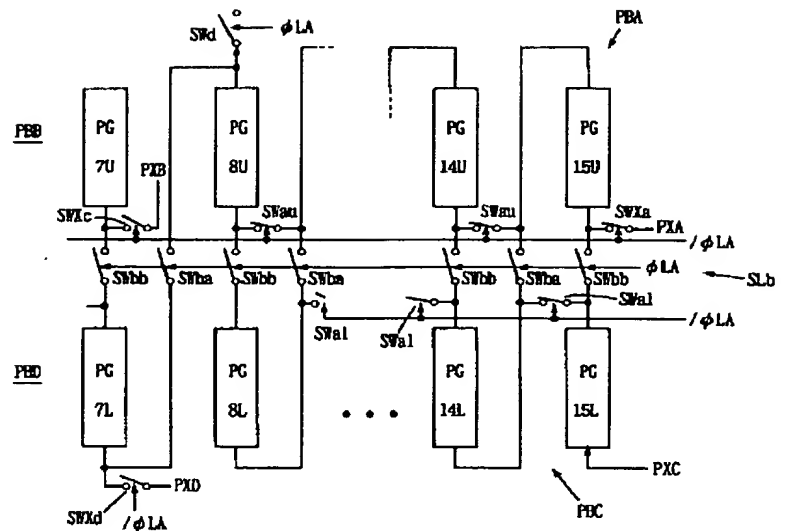
【図 5 4】



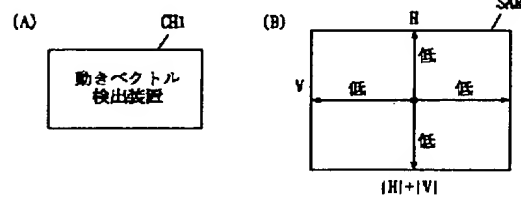
【図55】



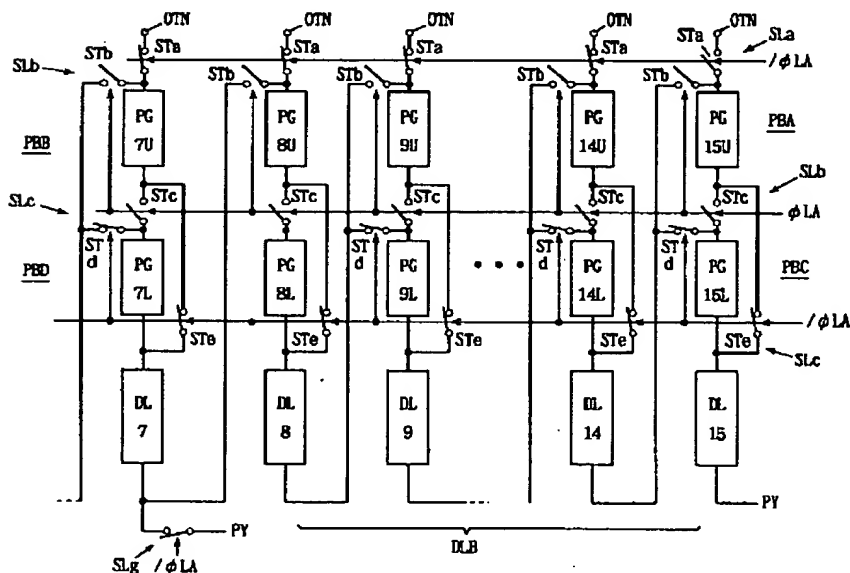
【図56】



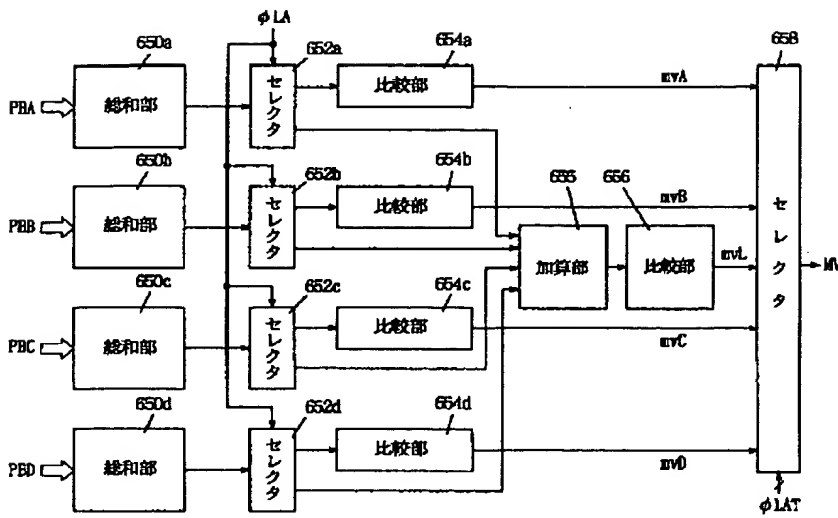
【図72】



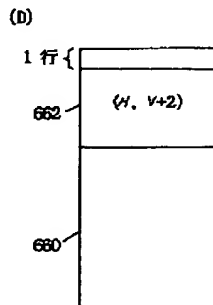
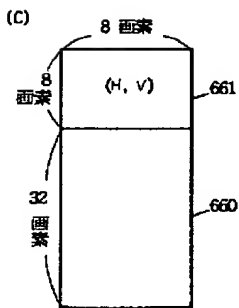
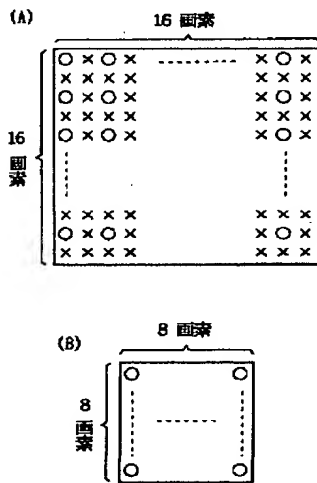
【図57】



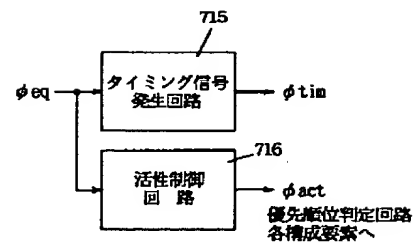
【図 58】



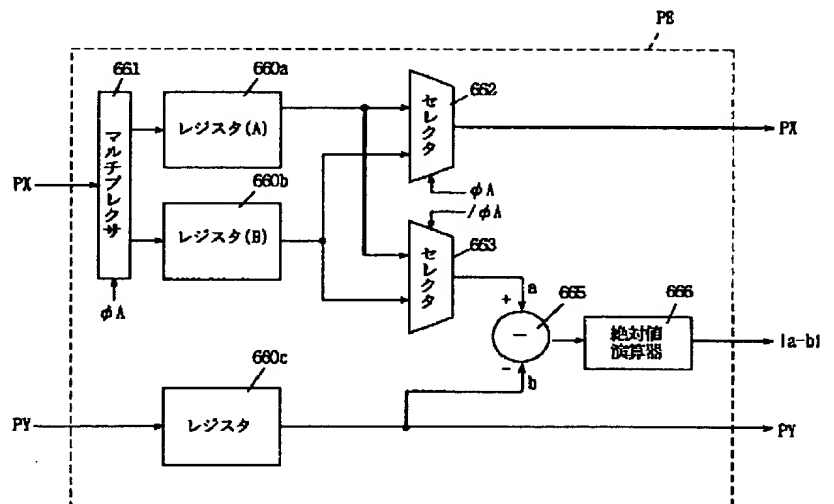
【図 59】



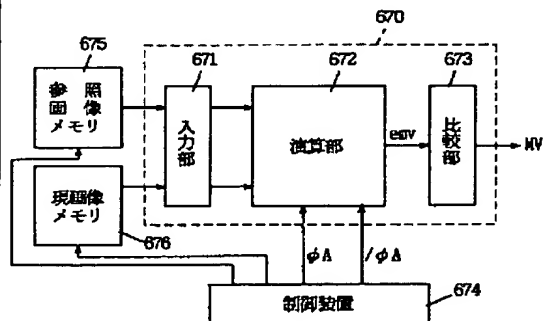
【図 76】



【図 60】



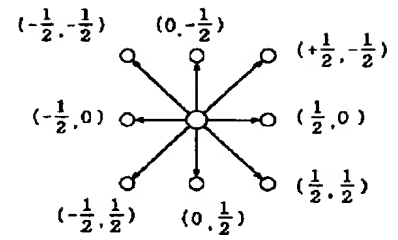
【図 62】



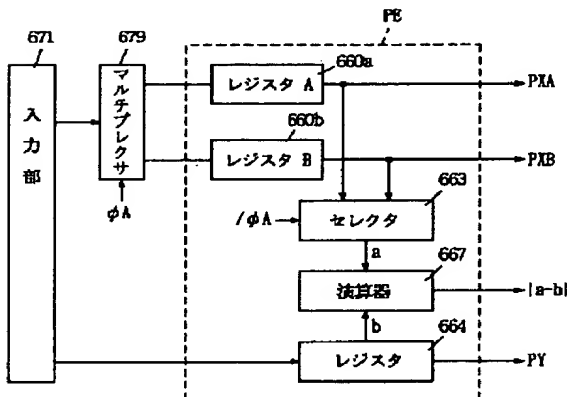
【図 6 1】

	T1	T2	T3	T4	T5	T6
レジスタ (A)	テンプレート ブロック N の探索	テンプレート ブロック N+2 のロード	テンプレート ブロック N+2 の探索	テンプレート ブロック N+4 のロード	テンプレート ブロック N+4 の探索	テンプレート ブロック N+6 のロード
レジスタ (B)	テンプレート ブロック N+1 のロード	テンプレート ブロック N+1 の探索	テンプレート ブロック N+3 のロード	テンプレート ブロック N+3 の探索	テンプレート ブロック N+5 のロード	テンプレート ブロック N+5 の探索

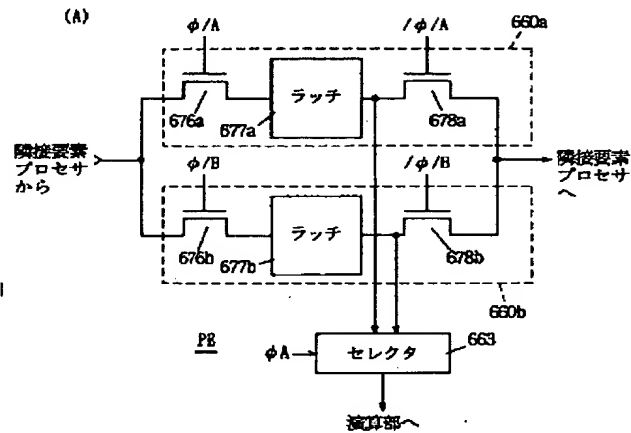
【図 7 8】



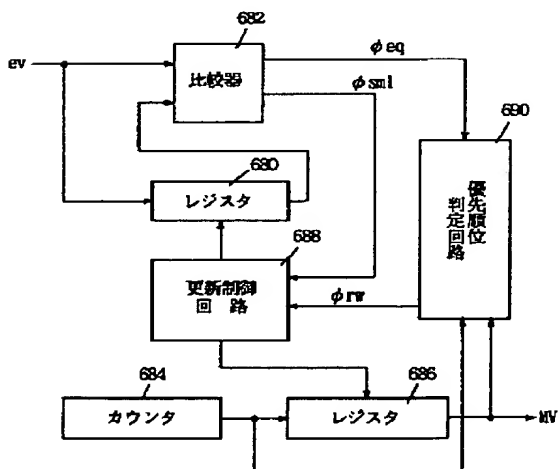
【図 6 3】



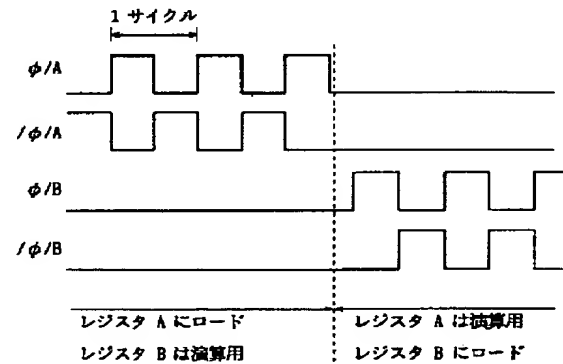
【図 6 4】



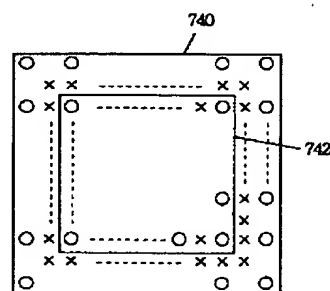
【図 6 5】



(B)



【図 7 9】



【図66】

$$P(H,V) = |H| + |V|$$

H ベクトル

	-16	-15	-14	-13	-12	-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0
V ベクトル	-16	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17
	-15	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-14	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15
	-13	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14
	-12	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13
	-11	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12
	-10	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11
	-9	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10
	-8	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9
	-7	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8
	-6	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7
	-5	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6
	-4	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5
	-3	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4
	-2	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3
	-1	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2
	0	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
	1	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2
	2	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3
	3	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4
	4	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5
	5	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6
	6	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7
	7	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8
	8	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9
	9	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10
	10	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11
	11	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12
	12	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13
	13	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14
	14	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15
	15	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	16	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17

【図67】

$$P(H,V) = |H| + |V|$$

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
V	-16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
	-15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
	-14	15	16	17	18	19	20	21	22	23	24	25	26	27	28
	-13	14	15	16	17	18	19	20	21	22	23	24	25	26	27
	-12	13	14	15	16	17	18	19	20	21	22	23	24	25	26
	-11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
	-10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
	-9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
	-8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
	-7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
	-6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
	-5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
	-4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
	-3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
	-2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	-1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26
	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27
	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28
	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30

【図68】

$$P(H,V) = |H| + (-V+16)$$

H ベクトル

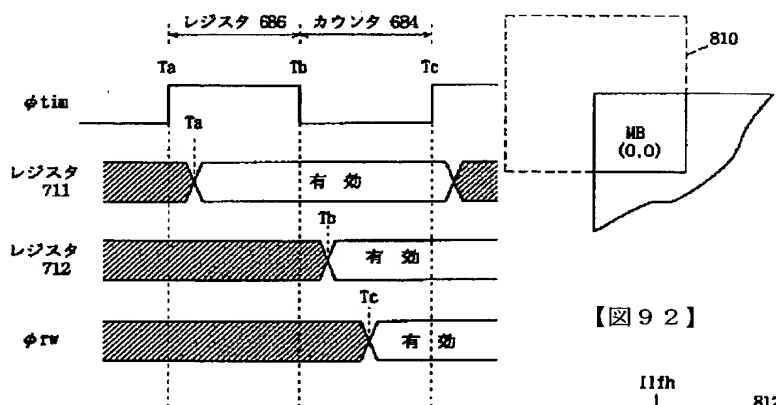
	-16	-15	-14	-13	-12	-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	0
V ベクトル	-16	48	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33
	-15	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	-14	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32	31
	-13	45	44	43	42	41	40	39	38	37	36	35	34	33	32	31	30
	-12	44	43	42	41	40	39	38	37	36	35	34	33	32	31	30	29
	-11	43	42	41	40	39	38	37	36	35	34	33	32	31	30	29	28
	-10	42	41	40	39	38	37	36	35	34	33	32	31	30	29	28	27
	-9	41	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26
	-8	40	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25
	-7	39	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24
	-6	38	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23
	-5	37	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22
	-4	36	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21
	-3	35	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20
	-2	34	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19
	-1	33	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18
	0	32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17
	1	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	2	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15
	3	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14
	4	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13
	5	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12
	6	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11
	7	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10
	8	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9
	9	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8
	10	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7
	11	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6
	12	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5
	13	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4
	14	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3
	15	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2
	16	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1

【图 7 1】

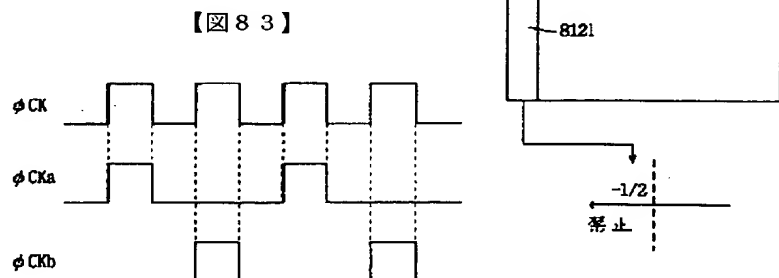
γ	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
-16	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
-15	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
-14	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
-13	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
-12	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
-11	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
-10	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
-9	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
-8	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
-7	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
-6	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
-5	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26
-4	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27
-3	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28
-2	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
-1	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
0	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
1	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
2	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33
3	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34
4	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35
5	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36
6	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37
7	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38
8	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39
9	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40
10	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41
11	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42
12	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43
13	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44
14	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45
15	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46
16	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47

$$P(H,V) = |H| + (+V+16)$$

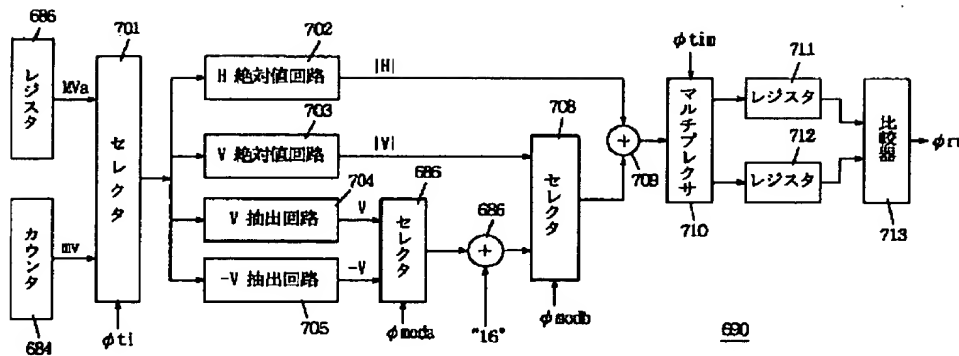
【图 89】



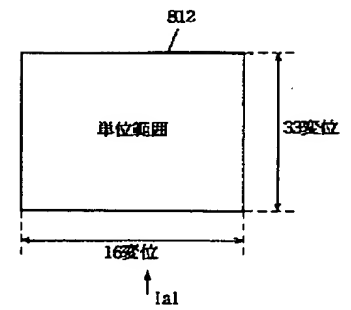
【図 9 2】



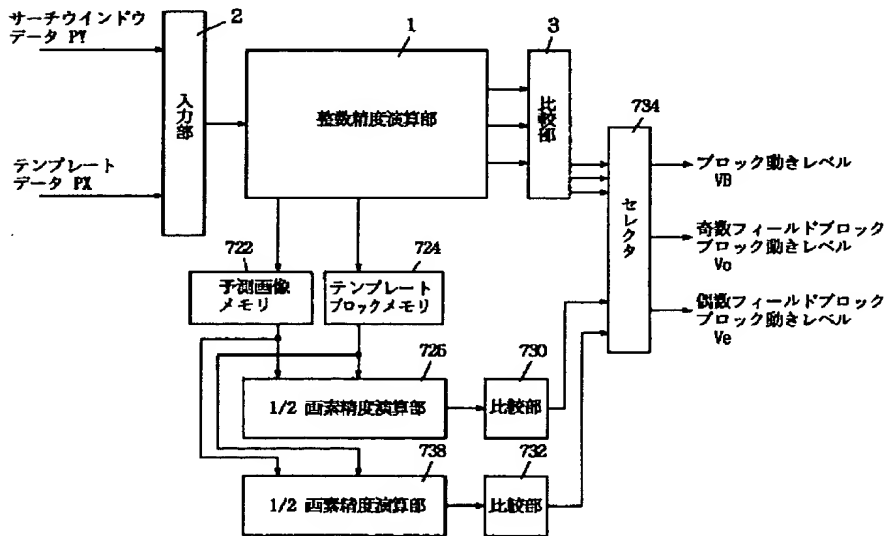
【図 7 4】



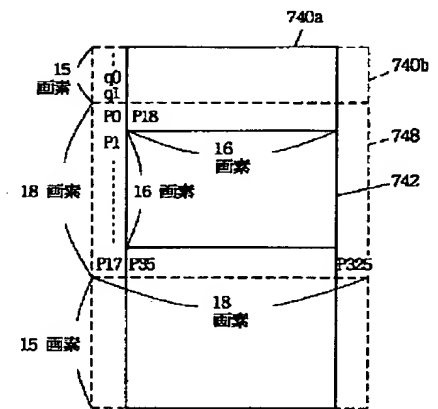
【図 9 0】



【図 7 7】

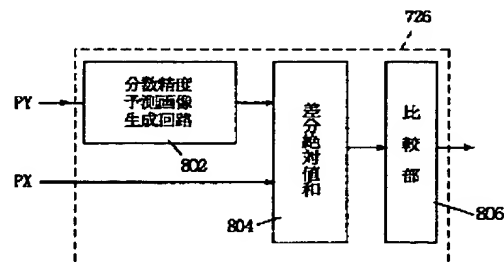
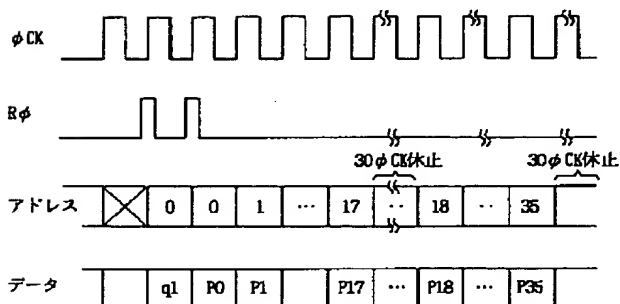


【図 8 1】



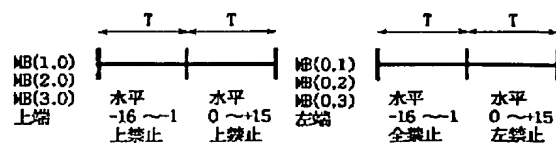
【図 8 2】

【図 8 4】

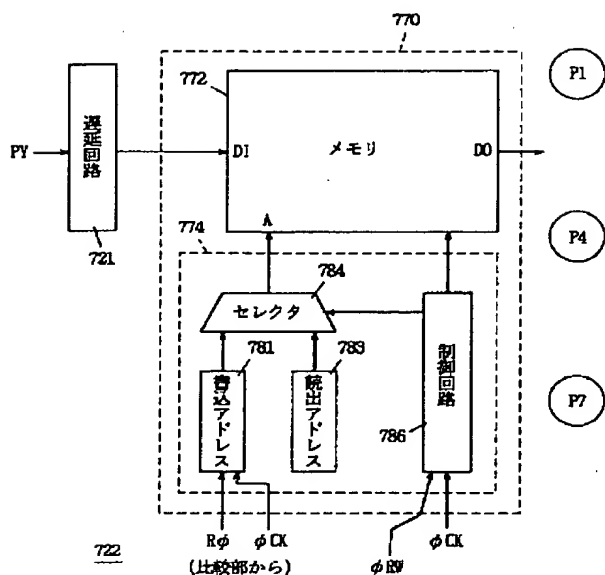


【図 9 7】

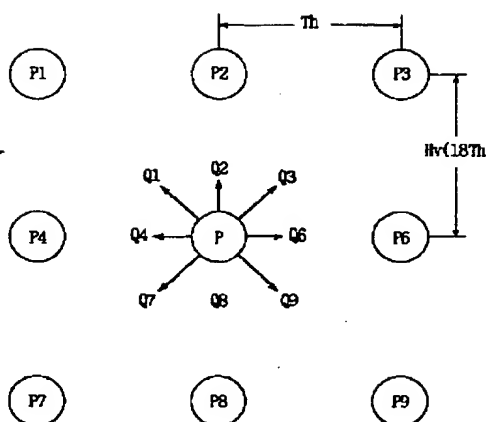
【図 1 0 0】



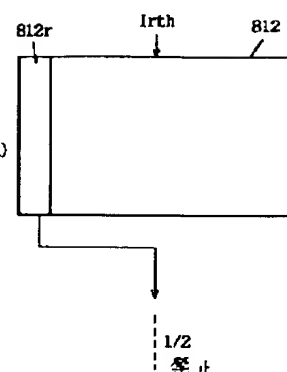
【図 80】



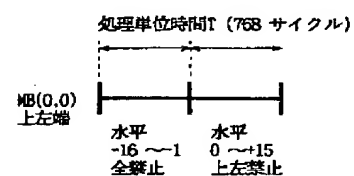
【図 8 5】



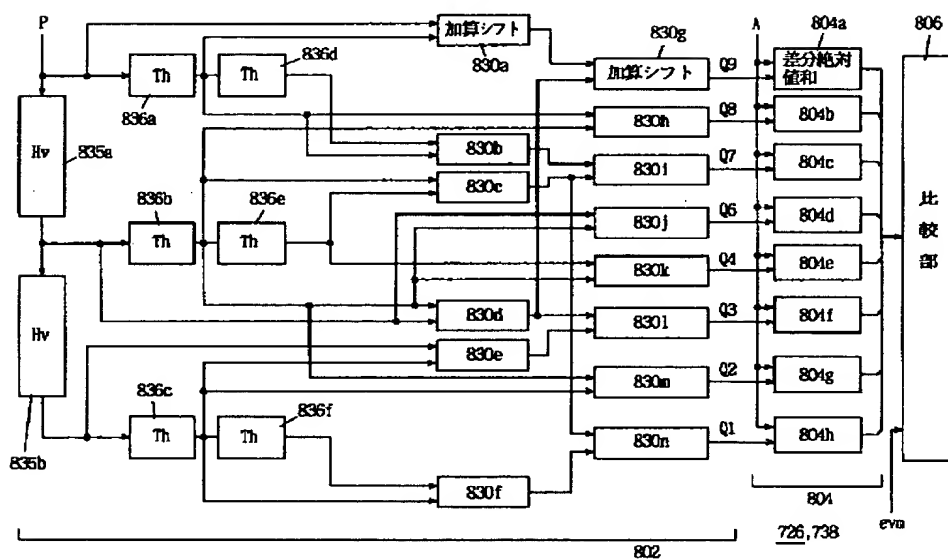
【图 9 3】



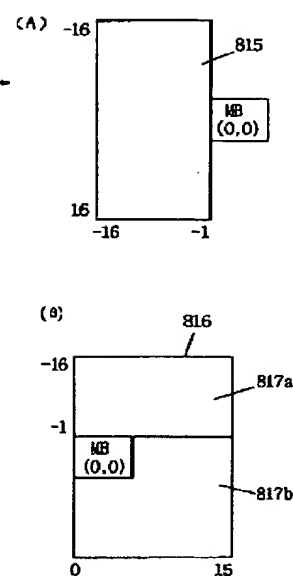
【图 9 4】



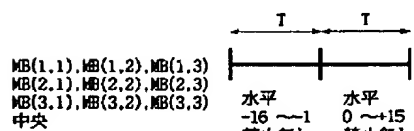
【图 8 6】



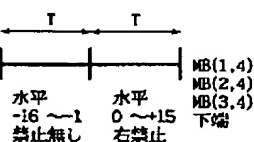
【図 9 5】



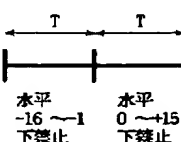
【図 101】



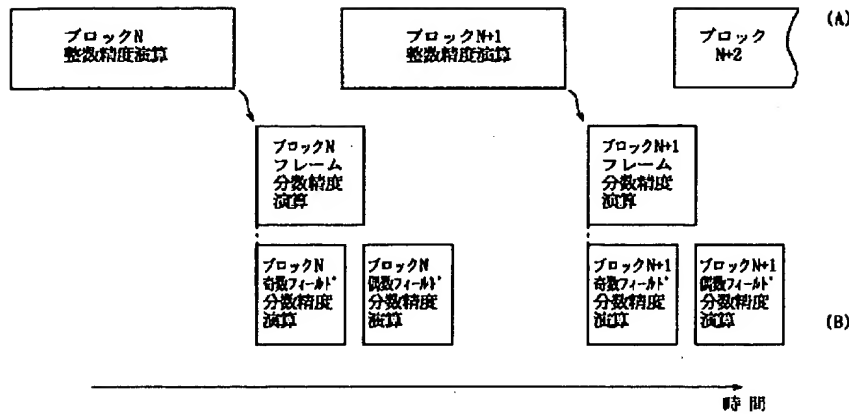
【图 102】



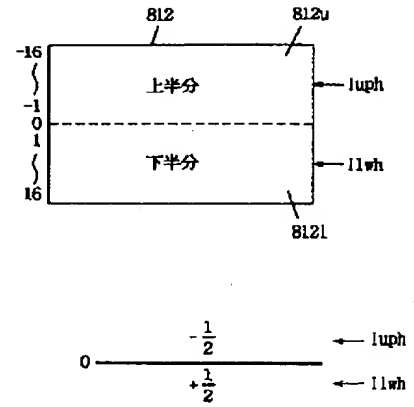
【図 105】



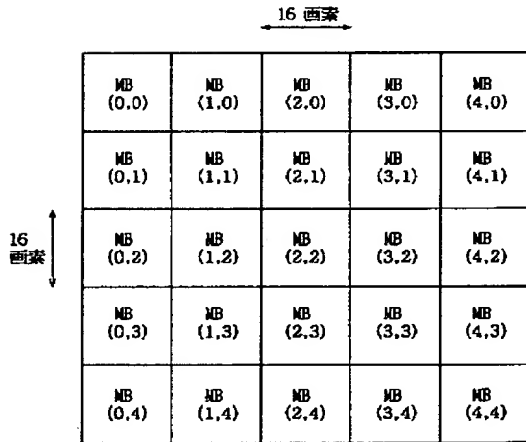
【図 87】



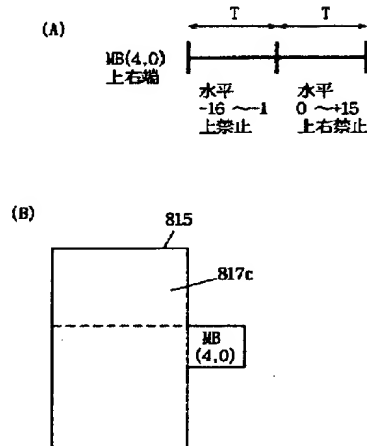
【図 91】



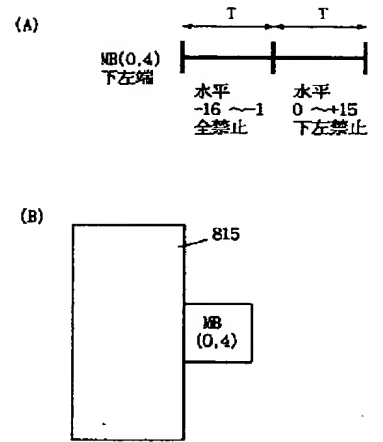
【図 88】



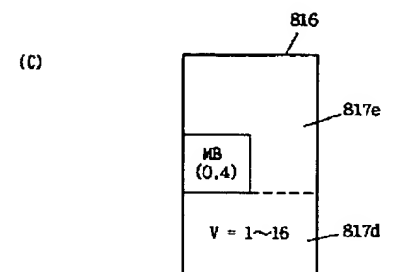
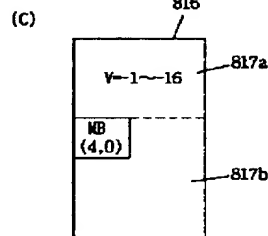
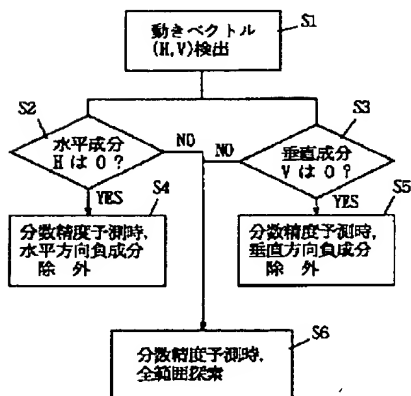
【図 98】



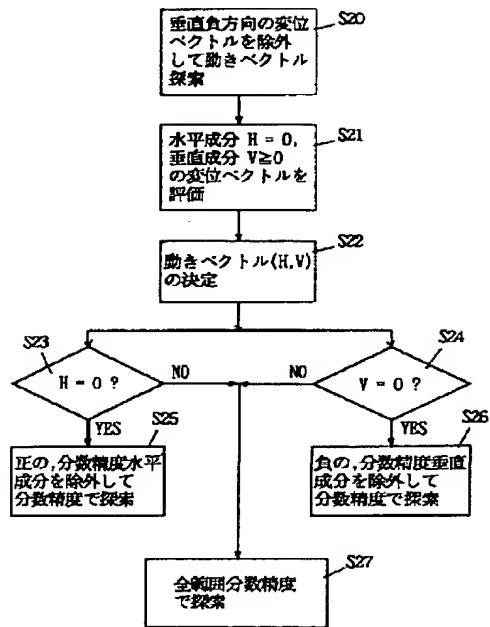
【図 103】



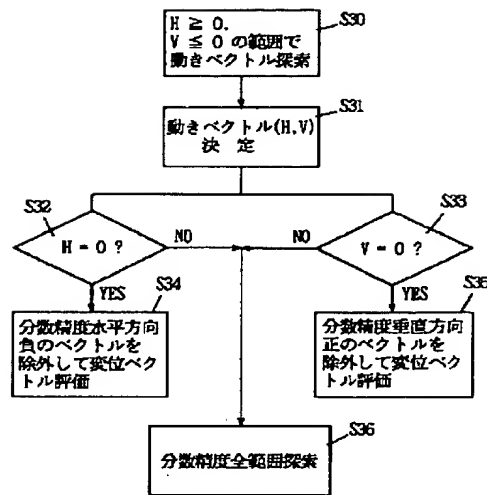
【図 96】



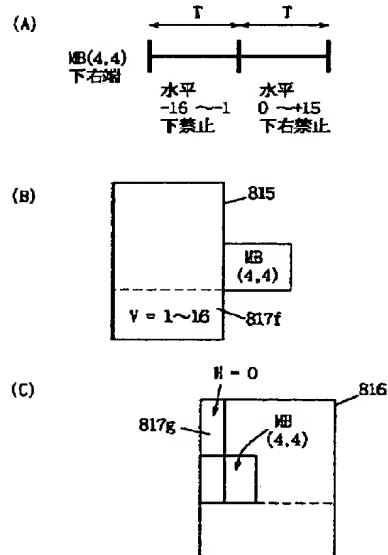
【図 99】



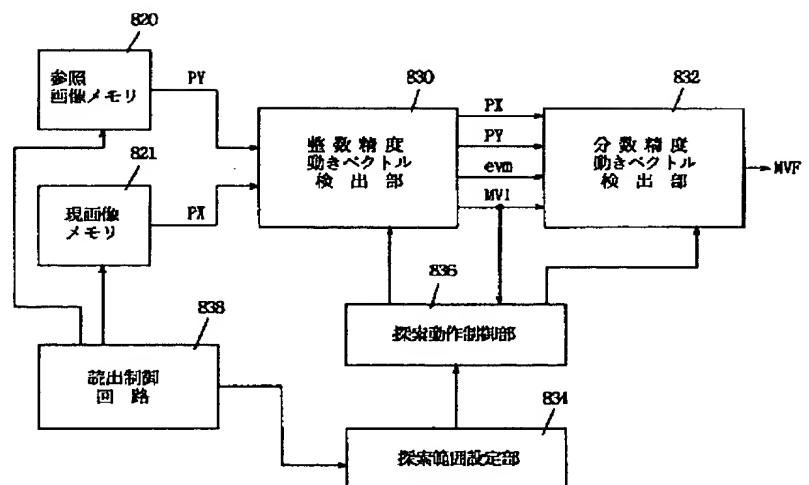
【図 104】



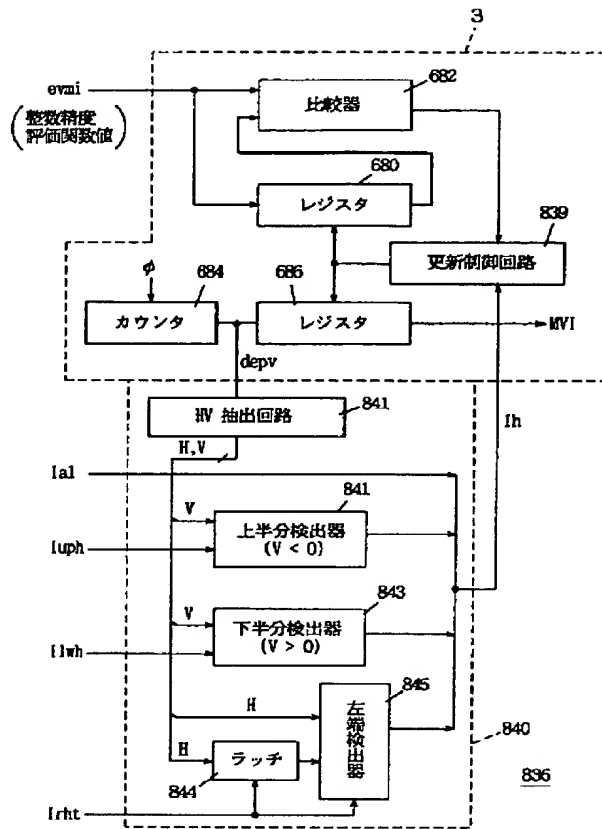
【図 106】



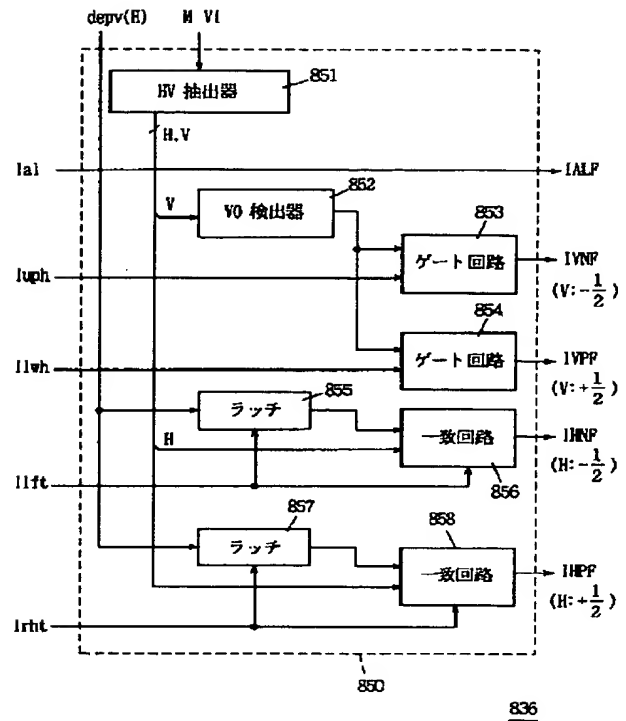
【図 107】



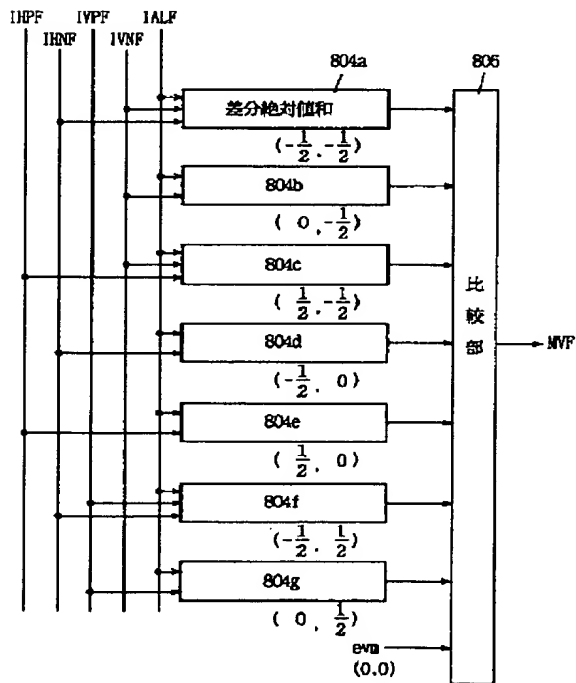
【図108】



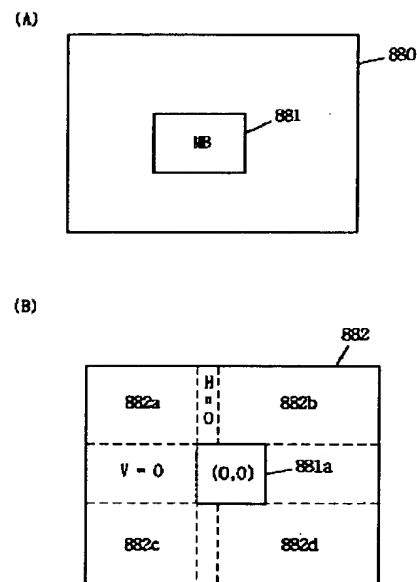
【図109】



【図110】

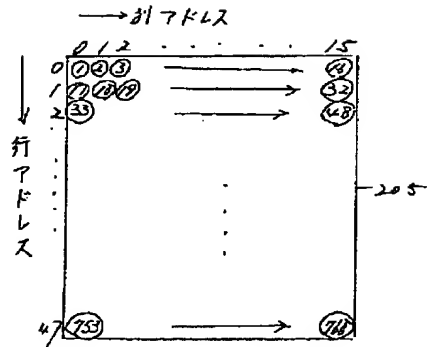


【図112】

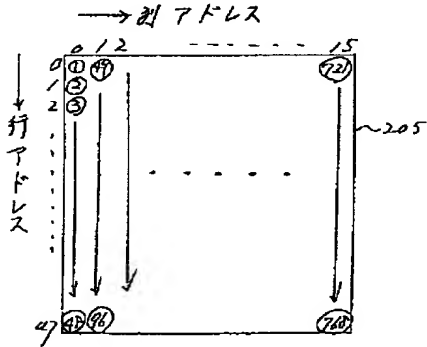


【図116】

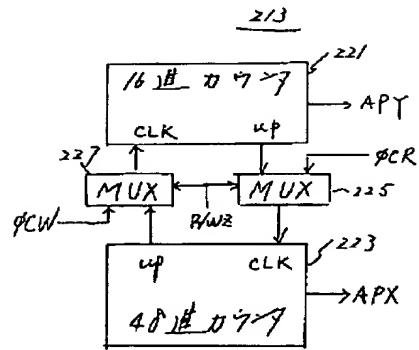
(A) ライト時



(B) リード時

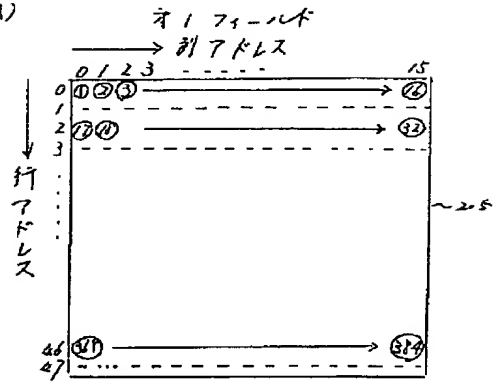


【図117】

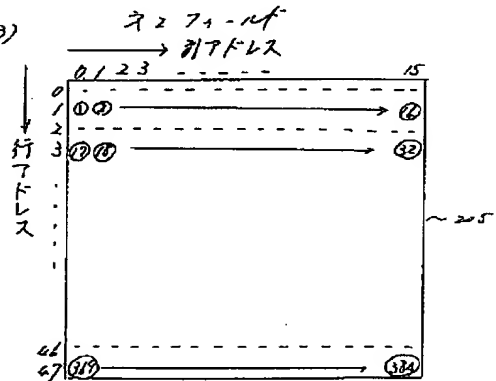


【図120】

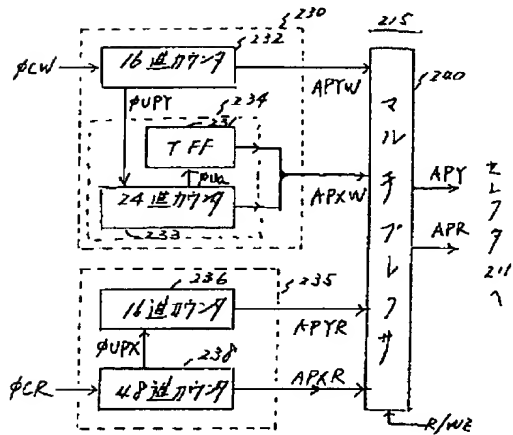
(A)



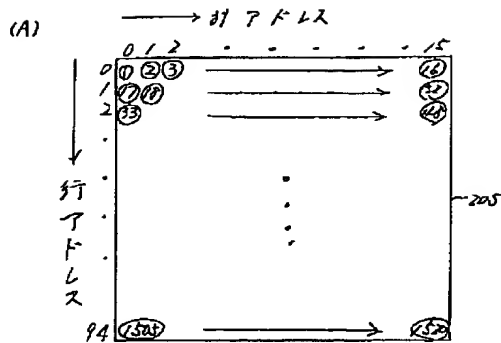
(B)



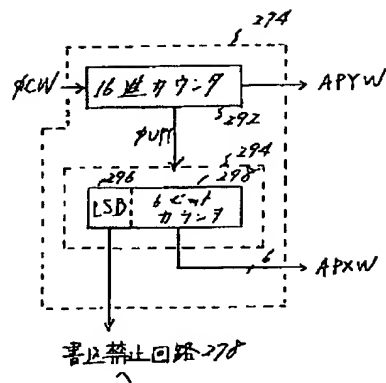
【図118】



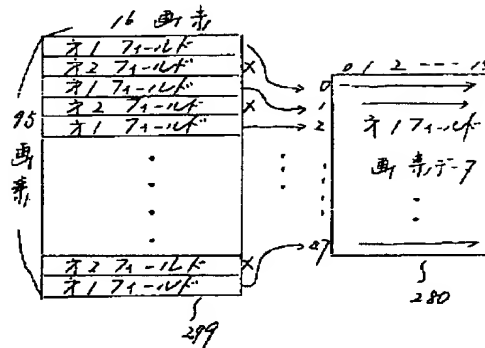
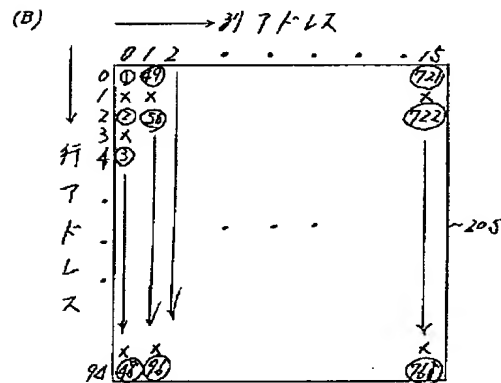
【図123】



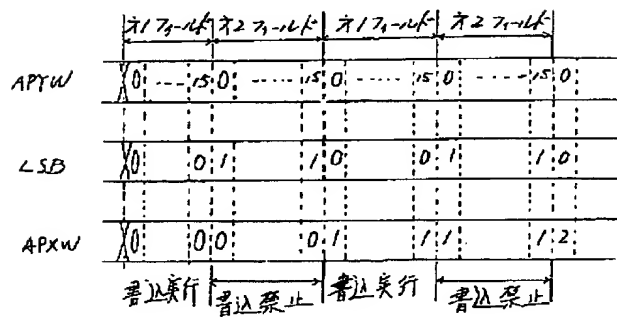
【図126】



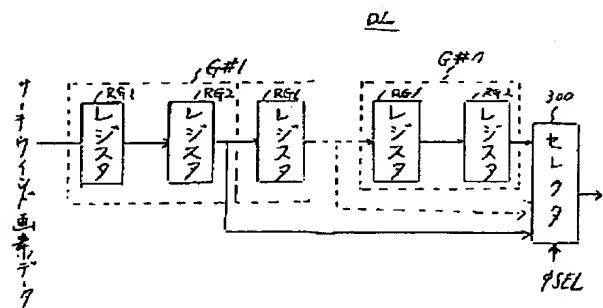
【図128】



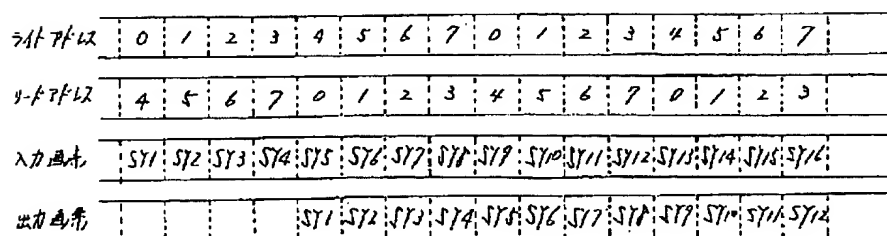
【図127】



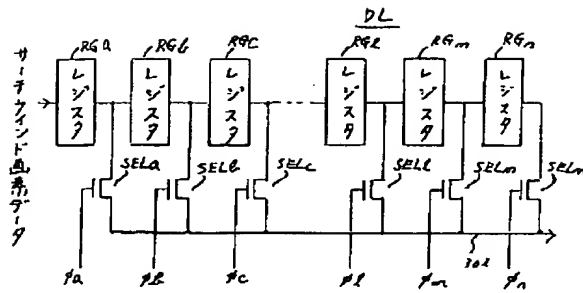
【図129】



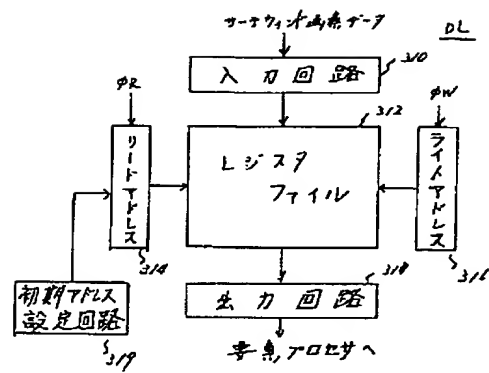
【図132】



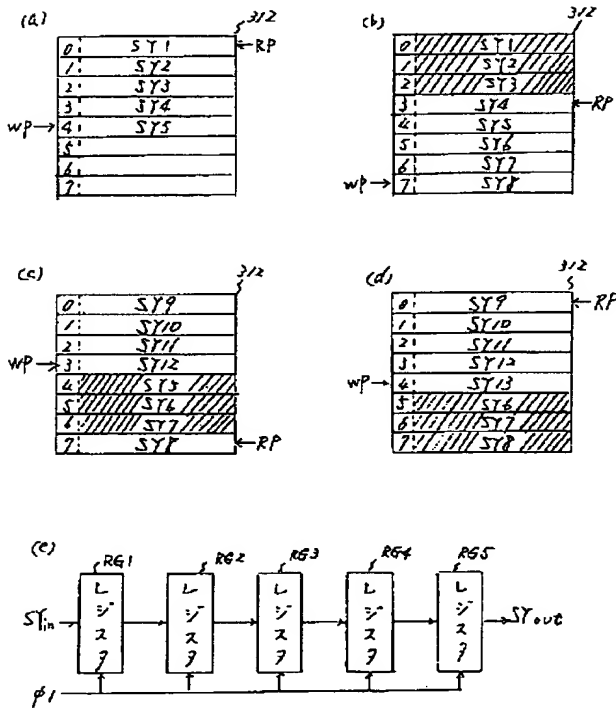
【図130】



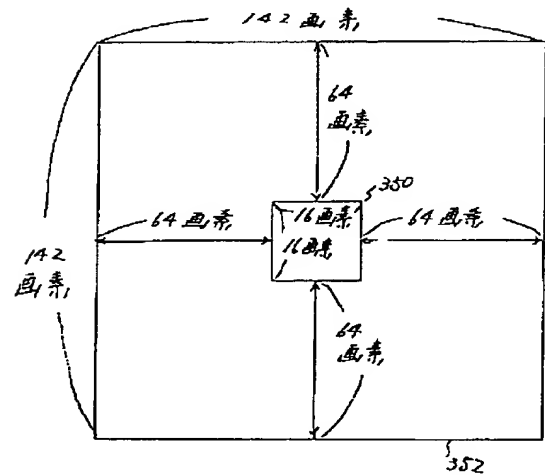
【図131】



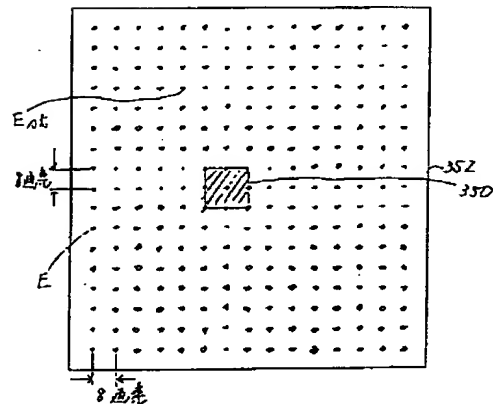
【図133】



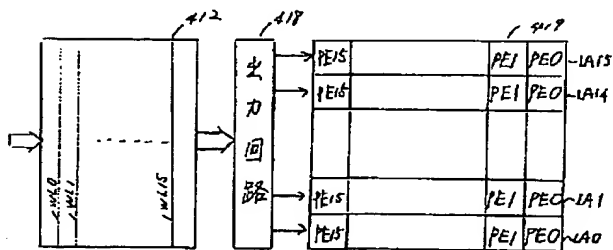
【図134】



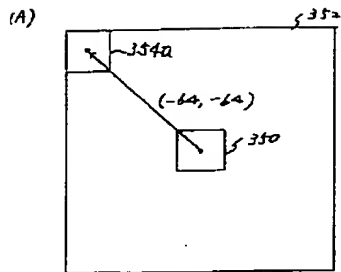
【図136】



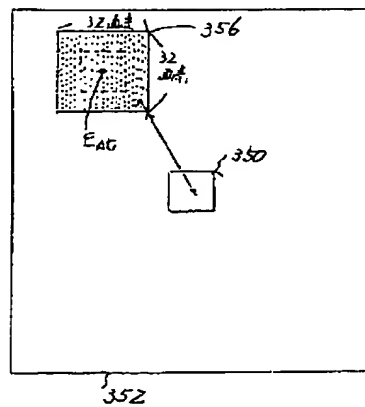
【図140】



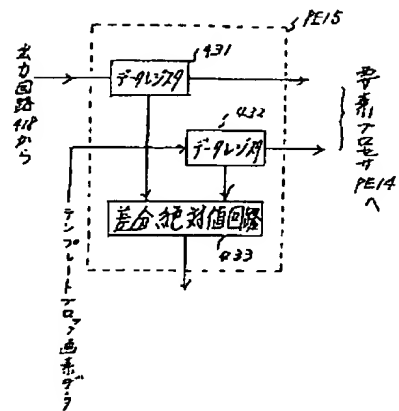
【図135】



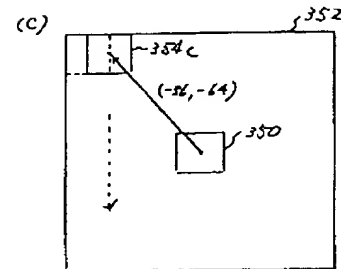
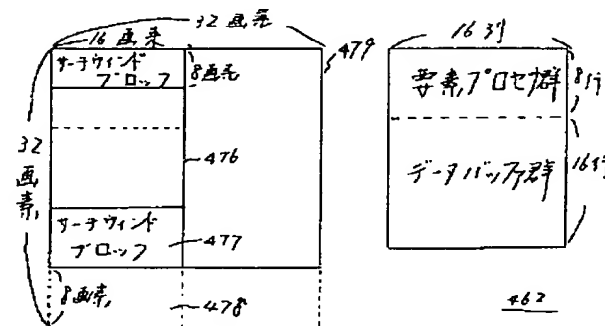
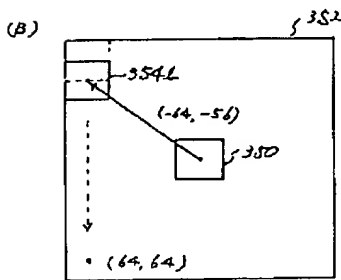
【図137】



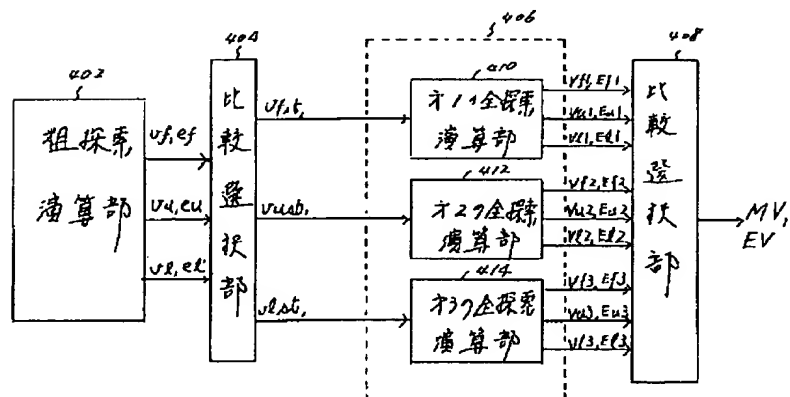
【図141】



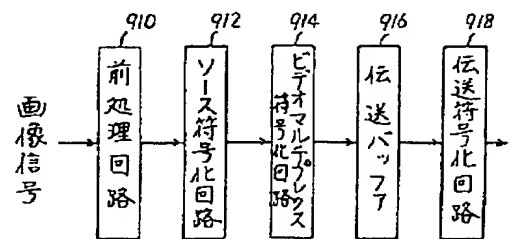
【図146】



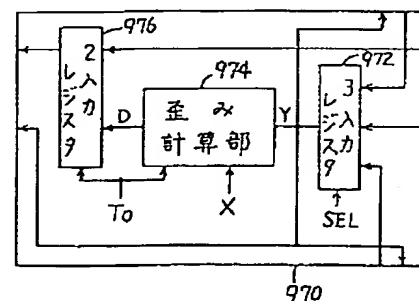
【図138】



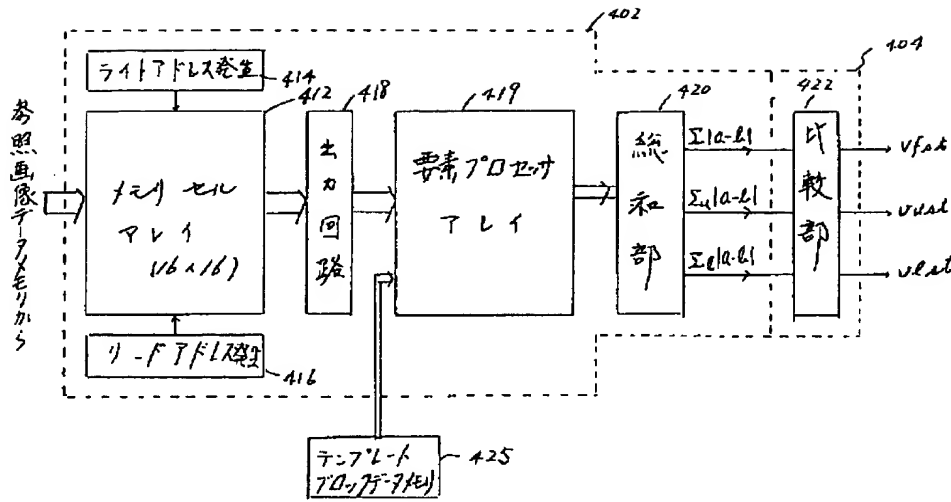
【図151】



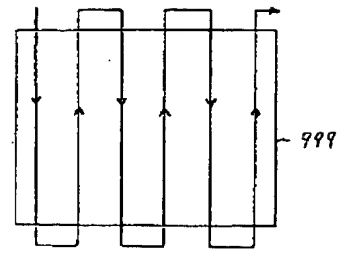
【図156】



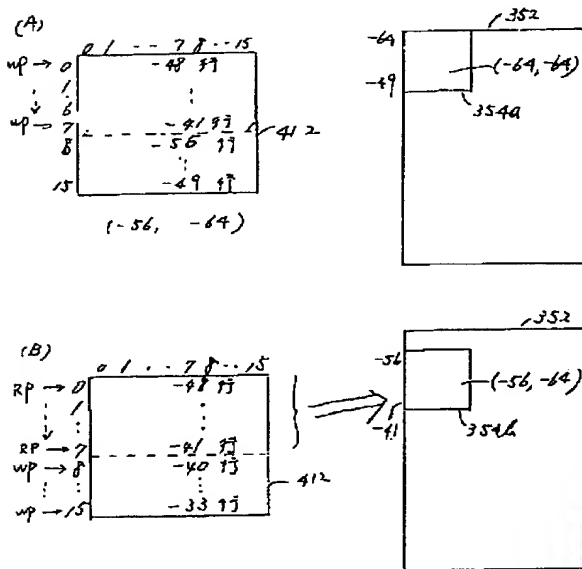
【図139】



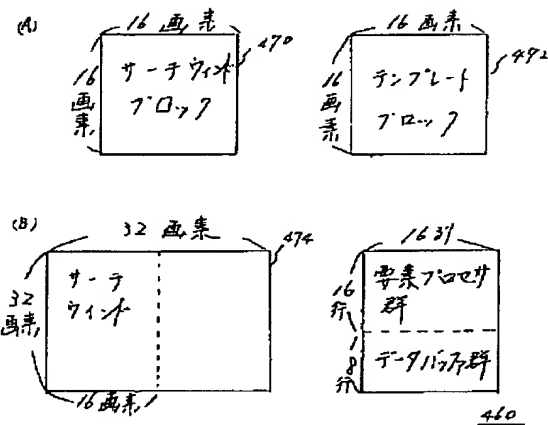
【図157】



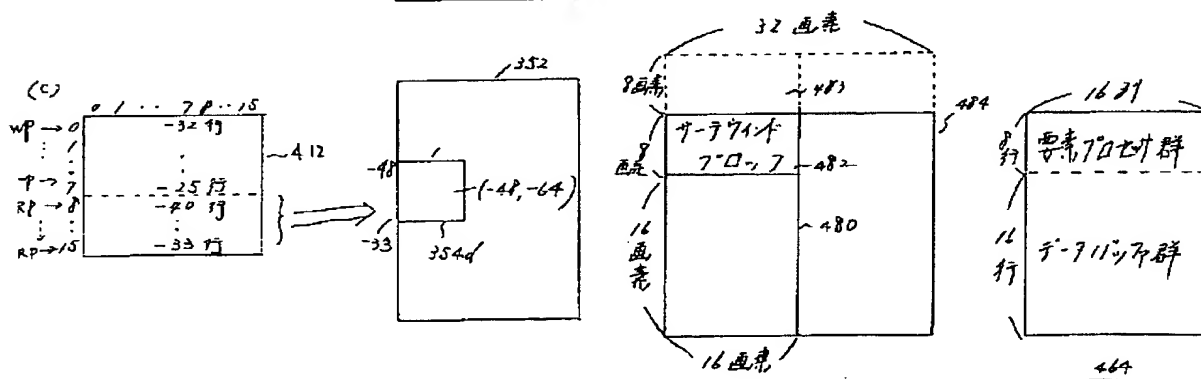
【図142】



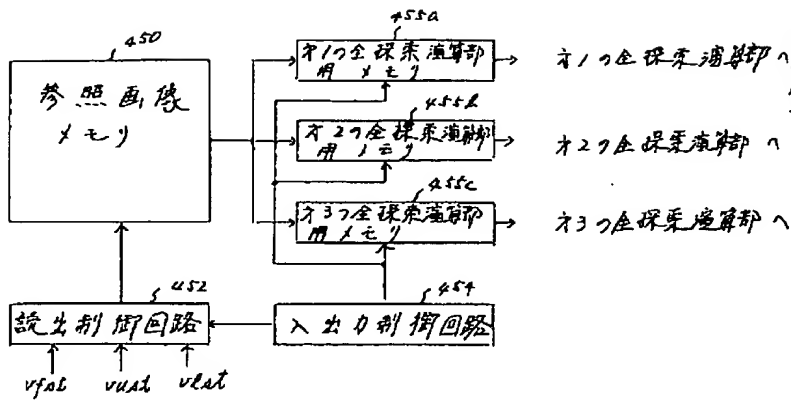
【図145】



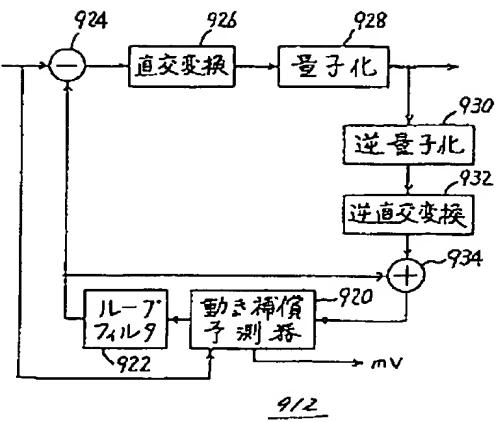
【図147】



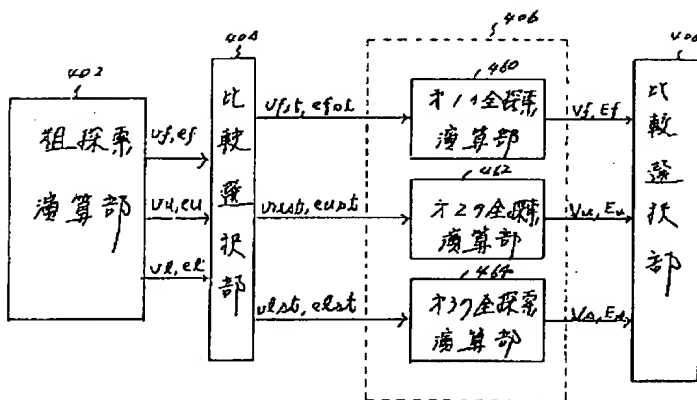
【図143】



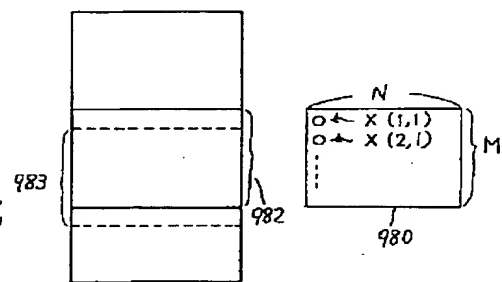
【図152】



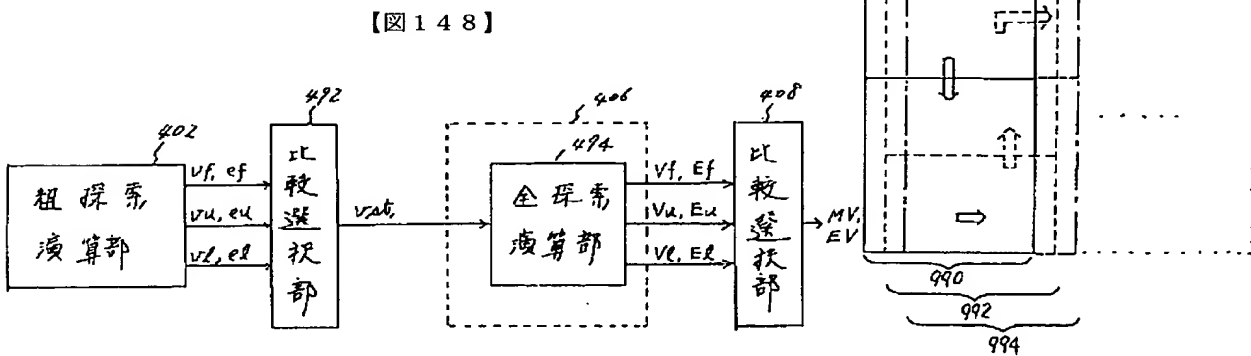
【図144】



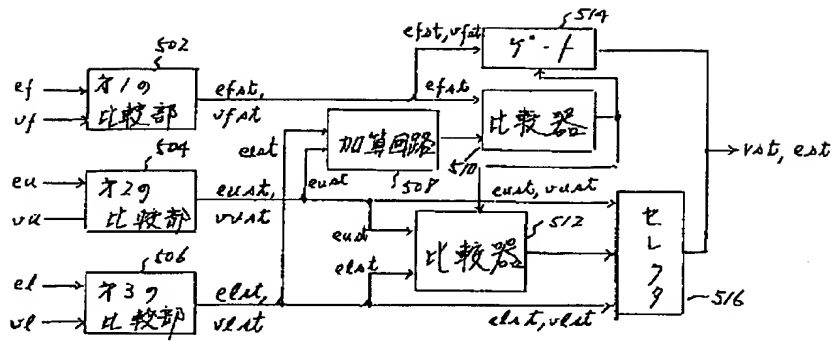
【図158】



【図159】

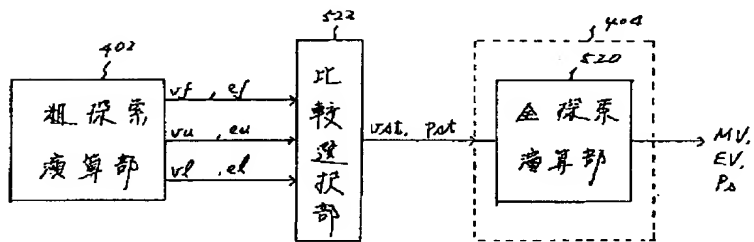


【図149】

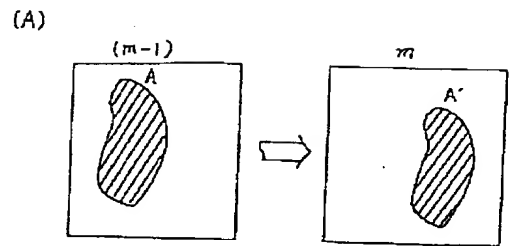


492

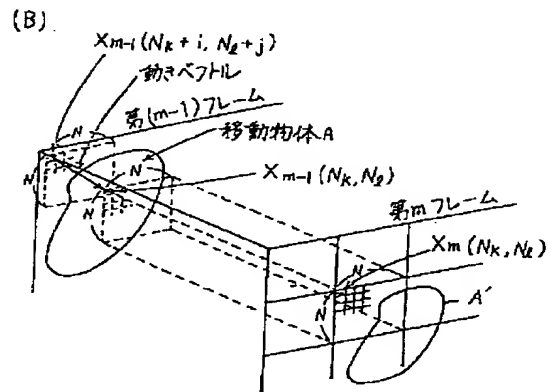
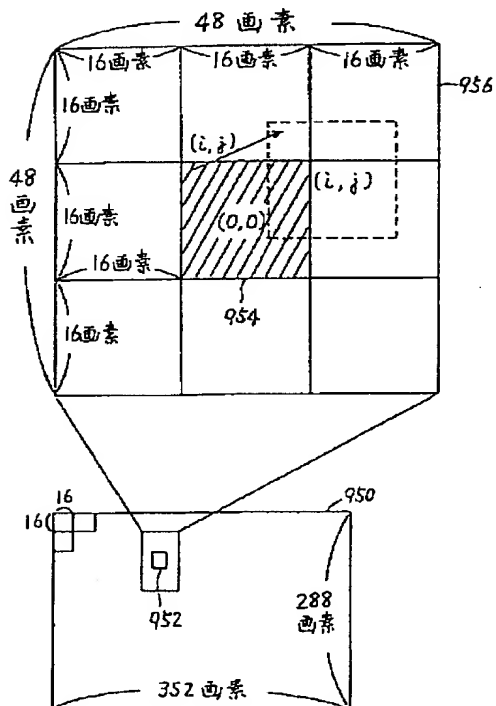
【図150】



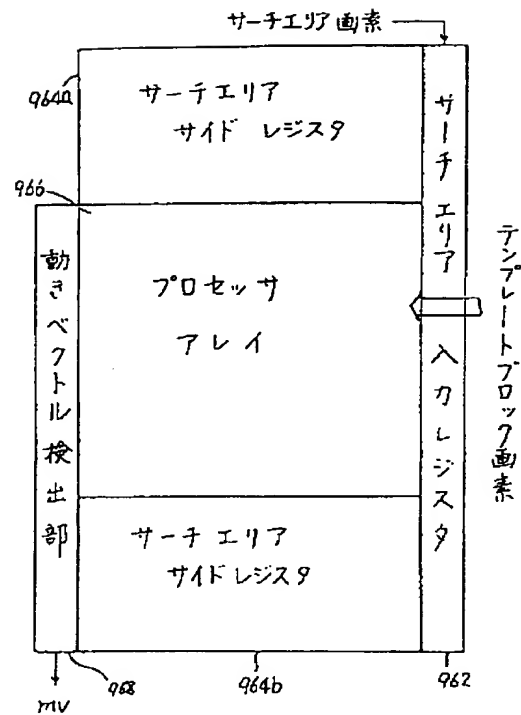
【図153】



【図154】



【図 1 5 5】



フロントページの続き

(72)発明者 中川 伸一

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機
株式会社システムエル・エス・アイ開発研
究所内

(72)発明者 松村 哲哉

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機
株式会社システムエル・エス・アイ開発研
究所内

(72)発明者 熊木 哲

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機
株式会社システムエル・エス・アイ開発研
究所内

(72)発明者 花見 充雄

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機
株式会社システムエル・エス・アイ開発研
究所内